

**UNIVERSIDAD CARLOS III DE MADRID**

**ESCUELA POLITÉCNICA SUPERIOR**



**INGENIERÍA DE TELECOMUNICACIÓN**

**DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA**

**PROYECTO FIN DE CARRERA**

**DISEÑO DE UN AMPLIFICADOR  
OPERACIONAL EN 65nm CMOS PARA  
APLICACIONES DE BAJO VOLTAJE Y  
ALTA VELOCIDAD**

**AUTOR:** Cristina Núñez Domínguez

**TUTOR:** Enrique Prefasi Sen



## Agradecimientos

Este Proyecto Fin de Carrera pone punto y final a una etapa llena de esfuerzo y dedicación. Durante este tiempo, han sido muchas las personas que han estado a mi lado, de una forma u otra, ayudándome a superarla y apoyándome en cada momento. Son estas personas las que se merecen todo mi agradecimiento.

Gracias a mis compañeros y amigos de Universidad, por los momentos compartidos, las clases, las prácticas interminables, los laboratorios, las horas de estudio y, sobre todo, por vuestro continuo apoyo.

Gracias a cada uno de mis amigos, que nada tienen que ver con mi mundo universitario, pero que me han comprendido como nadie durante este periodo y han sido mi vía de escape en cada momento. Por vuestra paciencia, cariño y ánimos, gracias.

Gracias a mi familia. En especial, gracias a mis padres, Mariano y Milagros, pues son los grandes responsables de que haya llegado hasta aquí, por la educación que me han dado, su cariño, su fe en mi y su apoyo constante en los momentos difíciles, que sé que han sido muchos. Gracias a mi hermana Nuria, por estar siempre ahí y animarme con su risa cada día. Y gracias a mis abuelos, por celebrar cada aprobado como si fuera el último. Os quiero.

Y por supuesto, gracias a mi compañero de vida, Daniel, por creer en mi más que yo misma, por estar en cada caída y en cada triunfo. Por sus ánimos y su cariño, sin ti, no estaría escribiendo estas líneas. Te quiero.

*...I'll take the hit but not the fall*

*I know no fear, still standing tall...*

# ÍNDICE

**ÍNDICE DE FIGURAS, 9**

**ÍNDICE DE TABLAS, 15**

**ACRÓNIMOS, 16**

**CAPITULO 1: Introducción, 19**

1.1 Concepto de Tecnología Electrónica, 19

1.2 Reseña electrónica de la Tecnología Electrónica, 21

1.3 System-on-chip, 26

1.4 Motivaciones, 27

    Conversor de aproximaciones sucesivas, 28

    Conversor pipeline, 29

    Conversor flash, 30

    Conversor sigma-delta, 31

1.5 Descripción y objetivos, 35

**CAPÍTULO 2: El amplificador operacional, 36**

- 2.1 Introducción, 36
- 2.2 Etapa diferencial, 37
  - 2.2.1 Amplificador diferencial básico, 37
  - 2.2.2 Concepto de rechazo al modo común (CMRR), 39
  - 2.2.3 Amplificador diferencial con cargas activas, 40
- 2.3 Etapa de ganancia, 42
- 2.4 Etapa de salida, 43
  - 2.4.1 Etapa de salida clase A, 44
  - 2.4.2 Etapa de salida clase B (push pull), 45
  - 2.4.3 Etapa de salida clase AB, 45
- 2.5 Parámetros y características de amplificadores operacionales, 46
  - 2.5.1 Amplificador operacional ideal, 46
  - 2.5.2 Ganancia de tensión diferencial en lazo abierto y ancho de banda, 46
  - 2.5.3 Impedancia de entrada, 47
  - 2.5.4 Impedancia de salida, 48
  - 2.5.5 Límites de tensión de entrada, 48
  - 2.5.6 Tensión y corriente de offset de entrada, 48
  - 2.5.7 Slew rate, 49
  - 2.5.8 Rechazo al modo común CMRR, 50
  - 2.5.9 Relación de rechazo a variaciones de la fuente de alimentación, 50
  - 2.5.10 Respuesta en frecuencia, 51
  - 2.5.11 Estabilidad de amplificadores operacionales, 52
    - 2.5.11.1 Introducción, 52
    - 2.5.11.2 Motivos de oscilación de un amplificador, 53
    - 2.5.11.3 Análisis de estabilidad, 54

#### 2.5.11.4 Compensación en frecuencia, 56

Compensación por polo dominante, 56

Compensación por polo zero, 57

Compensación de Miller, 58

### **CAPÍTULO 3: Modelo en pequeña señal de amplificadores con transistores, 60**

3.1 Teoría de cuadripolos, 60

3.2 Análisis de un circuito empleando parámetros H, 62,

3.3 Modelo en  $\pi$  o de Giacoletto, 64

3.4 Modelo en pequeña señal para transistores FET, 65

3.5 Amplificadores multietapa, 67

### **CAPÍTULO 4: Modelos a nivel de sistema del amplificador operacional, 70**

4.1 Especificaciones, 71

4.2 Verilog-A, 73

4.3 Modelos en verilog-A del amplificador operacional, 75

4.3.1 Modelo I de amplificador, 76

4.3.2 Modelo II de amplificador, 76

4.3.3 Modelo III de amplificador, 78

4.4 Test - bench utilizados en simulaciones, 78

4.5 Validación de los modelos de amplificador operacional diseñados, 82

4.5.1 Resultados obtenidos para el modelo I de amplificador, 82

Simulación en AC, 82

Simulación transitoria con el amplificador operacional funcionando en modo buffer, 83

Simulación transitoria con el amplificador operacional  
funcionando en modo integrador, 84

#### 4.5.2 Resultados obtenidos para el modelo II de amplificador, 85

Simulación en AC, 85

Simulación transitoria con el amplificador operacional  
funcionando en modo buffer, 86

Simulación transitoria con el amplificador operacional  
funcionando en modo integrador, 87

#### 4.5.3 Resultados obtenidos para el modelo III de amplificador, 88

Simulación en AC, 88

Simulación transitoria con el amplificador operacional  
funcionando en modo buffer, 89

Simulación transitoria con el amplificador operacional  
funcionando en modo integrador, 90

### **CAPÍTULO 5: Diseño del amplificador operacional a nivel de transistor, 92**

#### 5.1 Tecnología CMOS, 92

#### 5.2 Transistores MOSFET, 93

#### 5.3 Diseño a nivel de transistor del amplificador operacional, 96

#### 5.4 Análisis de pequeña señal del amplificador operacional diseñado, 101

5.4.1 Desarrollo del modelo equivalente del amplificador en pequeña  
señal, 101

5.4.2 Test - bench utilizado para simulación en AC, 110

5.4.3 Validación del modelo en pequeña señal, 112

#### 5.5 Diseño a nivel de transistor del amplificador operacional, 113

#### 5.6 Validación del modelo a nivel de transistor, 118

5.6.1 Test - bench utilizados en simulaciones, 118

5.6.2 Resultados obtenidos del modelo de amplificador operacional a nivel de transistor, 122

Análisis en DC, 122

Simulación en AC, 125

Simulación transitoria con el amplificador operacional funcionando en modo buffer, 126

Simulación transitoria con el amplificador operacional funcionando en modo integrador, 128

Consumo de potencia, 130

**CAPÍTULO 6: Conclusiones, 132**

**ANEXOS, 135**

**REFERENCIAS, 144**



## ÍNDICE DE FIGURAS

### CAPÍTULO 1

Figura 1.1: Datos históricos y Ley de Moore, 25

Figura 1.2: Estructura típica de un receptor de RF, 28

Figura 1.3: Diagrama del conversor SAR, 28

Figura 1.4: Diagrama del conversor pipeline, 30

Figura 1.5: Diagrama del conversor flash, 31

Figura 1.6: Diagrama del conversor *sigma-delta*, 31

Figura 1.7: Diagrama de bloques de un modulador/demodulador *Delta*, 32

Figura 1.8: Modulación *sigma-delta*, 33

### CAPÍTULO 2

Figura 2.1: Bloques funcionales de un amplificador operacional, 37

Figura 2.2: Amplificador diferencial NMOS y equivalente en pequeña señal, 38

Figura 2.3: Amplificador diferencial NMOS con carga activa, 40

Figura 2.4: Amplificador diferencial CMOS con espejo de corriente, 41

Figura 2.5: Amplificador diferencial CMOS autopolarizado, 41

Figura 2.6: Esquema de amplificador realimentado, 42

Figura 2.7: Etapa de salida clase B, 45

Figura 2.8: Modelo de un amplificador operacional con corrientes y tensiones de “offset”, 48

Figura 2.9: Efecto de la distorsión debida al slew rate, 49

Figura 2.10: Diagrama de Bode de un filtro paso bajo, 52

Figura 2.11: Esquema general de un amplificador realimentado, 53

Figura 2.12: Análisis de estabilidad de un amplificador, 54

Figura 2.13: Estudio del grado de estabilidad, 55

Figura 2.14: Adición de polo en polo dominante, 56

Figura 2.15: Ejemplo de compensación polo dominante, 56

Figura 2.16: Adición de polo y cero en compensación por polo zero, 57

Figura 2.17: Ejemplo de compensación polo zero, 57

Figura 2.18: Teorema de Miller aplicado a la capacidad  $C_f$ , 58

### **CAPÍTULO 3**

Figura 3.1: Modelo equivalente de cuadripolo, 60

Figura 3.2: Modelo circuital equivalente con parámetros H, 61

Figura 3.3: Estructura para análisis de circuito lineal, 62

Figura 3.4: Equivalente en parámetros H del modelo de la figura 3.3, 62

Figura 3.5: Modelo equivalente en tensión, 63

Figura 3.6: Modelo equivalente en intensidad, 64

Figura 3.7: El modelo  $\pi$  o de Giacoletto de un transistor NPN, 64

Figura 3.8: Modelo equivalente en pequeña señal de un transistor FET, 65

Figura 3.9: Definición gráfica de  $g_m$  (a la izquierda) y  $r_d$  (a la derecha), 67

Figura 3.10: Amplificador multietapa utilizando modelos equivalentes en tensión, 68

Figura 3.11: Amplificador multietapa utilizando modelos equivalentes en corriente, 69

## CAPÍTULO 4

Figura 4.1: Flujo de funcionamiento del simulador *Spectre*, 74

Figura 4.2: Test-bench para simulaciones AC del modelo a nivel de sistema del amplificador operacional, 79

Figura 4.3: Test-bench para simulación de amplificador en modo buffer del modelo a nivel de sistema del amplificador operacional, 80

Figura 4.4: Test-bench para simulación de amplificador en modo integrador del modelo a nivel de sistema del amplificador operacional, 81

Figura 4.5: Simulación en AC modelo I de amplificador operacional, 82

Figura 4.6: Respuesta temporal del modelo I de amplificador operacional en modo buffer con  $f_{reqin}=10\text{MHz}$  y  $amp=50\text{mV}$ , 83

Figura 4.7: Respuesta temporal del modelo I de amplificador operacional en modo buffer con  $f_{reqin}=300\text{MHz}$  y  $amp=50\text{mV}$ , 83

Figura 4.8: Respuesta temporal del modelo I de amplificador operacional en modo integrador, 84

Figura 4.9: Simulación en AC modelo II de amplificador operacional, 85

Figura 4.10: Respuesta temporal del modelo II de amplificador operacional en modo buffer con  $f_{reqin}=10\text{MHz}$  y  $amp=50\text{mV}$ , 86

Figura 4.11: Respuesta temporal del modelo II de amplificador operacional en modo buffer con  $f_{in}=300\text{MHz}$  y  $amp=50\text{mV}$ , 86

Figura 4.12: Respuesta temporal del modelo II de amplificador operacional en modo integrador, 87

Figura 4.13: Simulación en AC modelo III de amplificador operacional, 88

Figura 4.14: Respuesta temporal del modelo III de amplificador operacional en modo buffer con  $f_{in}=10\text{MHz}$  y  $amp=50\text{mV}$ , 89

Figura 4.15: Respuesta temporal del modelo III de amplificador operacional en modo buffer con  $f_{in}=300\text{MHz}$  y  $amp=50\text{mV}$ , 89

Figura 4.16: Respuesta temporal del modelo III de amplificador operacional en modo integrador, 90

Figura 4.17: Aumento de la gráfica de la respuesta temporal a nivel de sistema del amplificador funcionando como integrador, 91

## **CAPÍTULO 5**

Figura 5.1: Estructura física de un transistor NMOS, 94

Figura 5.2: Curvas de características de un NMOS, 94

Figura 5.3: Esquema de las etapas de entrada y de ganancia/salida del amplificador operacional, 97

Figura 5.4: Circuito de control del modo común utilizando un divisor resistivo y un amplificador de sensado, 98

Figura 5.5: Circuito de control del modo común utilizando un divisor resistivo, condensadores y un amplificador de sensado, 99

Figura 5.6: Esquema completo a nivel de transistor del amplificador operacional, 100

Figura 5.7: Equivalente en pequeña señal de la estructura básica del amplificador operacional sin realimentación ni control de modo común, 101

Figura 5.8: Equivalente en pequeña señal de la etapa diferencial del amplificador operacional I, 102

Figura 5.9: Equivalente en pequeña señal de la etapa diferencial del amplificador operacional II, 103

Figura 5.10: Equivalente en pequeña señal de los subcircuitos independientes de la etapa de entrada, 104

Figura 5.11: Equivalente en pequeña señal de los subcircuitos independientes de la etapa de entrada y etapa de salida, 104

Figura 5.12: Modelo equivalente en pequeña señal de un transistor MOSFET, 105

Figura 5.13: Modelo equivalente en pequeña señal de un transistor MOSFET con la fuente y el sustrato conectados entre sí, 105

Figura 5.14: Equivalente en pequeña señal completo del amplificador operacional, 106

Figura 5.15: Modelo equivalente de pequeña señal de un transistor MOSFET con puerta, fuente y sustrato conectados, 107

Figura 5.16: Test-bench para simulación AC del modelo en pequeña señal del amplificador operacional, 111

Figura 5.17: Simulación en AC modelo equivalente en pequeña señal de amplificador operacional, 112

Figura 5.18: Test-bench para simulaciones AC del modelo a nivel de transistor del amplificador operacional, 119

Figura 5.19: Test-bench para simulación de amplificador en modo buffer del modelo a nivel de transistor del amplificador operacional, 120

Figura 5.20: Test-bench para simulación de amplificador en modo integrador del modelo a nivel de transistor del amplificador operacional, 121

Figura 5.21: Simulación en AC modelo a nivel de transistor de amplificador operacional, 125

Figura 5.22: Respuesta temporal del modelo a nivel de transistor del amplificador operacional en modo buffer con  $f_{in}=10\text{MHz}$  y  $A_{v}=50\text{mV}$ , 126

Figura 5.23: Respuesta temporal del modelo a nivel de transistor del amplificador operacional en modo buffer con  $f_{in}=300\text{MHz}$  y  $A_{v}=50\text{mV}$ , 127

Figura 5.24: THD VS Frecuencia de entrada del modelo a nivel de transistor del amplificador operacional, 128

Figura 5.25: Respuesta temporal del modelo a nivel de transistor de amplificador operacional en modo integrador, 129

Figura 5.26: Aumento de la gráfica de la respuesta temporal a nivel de sistema del amplificador funcionando como integrador, 130

## ÍNDICE DE TABLAS

### **CAPÍTULO 4**

Tabla 4.1: Resultados análisis FFT del modelo I de amplificador operacional, 84

Tabla 4.2: Resultados análisis FFT del modelo II de amplificador operacional, 87

Tabla 4.3: Resultados análisis FFT del modelo III de amplificador operacional, 90

### **CAPÍTULO 5**

Tabla 5.1: Convenio de signos en las tensiones y corrientes de un NMOS y PMOS, 96

Tabla 5.2: Resultados de análisis en DC de los transistores de etapa de entrada, 122

Tabla 5.3: Resultados de análisis en DC de los transistores de sensado del modo común, 123

Tabla 5.4: Resultados de análisis en DC de los transistores de la etapa de ganancia/salida, 123

Tabla 5.5: Resultados de análisis en DC de los transistores que forman los espejos de corriente, 124

Tabla 5.6: Resultados análisis FFT del modelo a nivel de transistor de amplificador operacional, 127

## ACRÓNIMOS

AC: Alternating Current

ADC: Analog to Digital Converter

A/D: Analog to Digital Converter

BW: Bandwidth

ASIC: Application Specific Integrated Circuit

BB: Banda Base

BiCMOS: Bipolar CMOS

CA: Circuito abierto

CAD: Computer Aided Design

CC: Corto circuito

CI: Integrated Circuit

CMOS: Complementary Metal Oxide Semiconductor

CMRR: Common Mode Rejection Ratio

DB: Decibelio





DC: Direct Current

ENOB: Effective Number Of Bits

FET: Field Effect Transistor

FFT: Fast Fourier Transform

FI: Intermediate Frequency

HBT: Heterojunction Bipolar Transistor

HEMT: High Electron Mobility Transistor

JFET: Junction Field Effect Transistor

LOG: Decimal Logarithm

LSI: Large Scale of Integration

OPAMP: Operational Amplifier

PLA: Programmable Logic Array

PSRR: Power Supply Rejection Ratio

MATLAB: Matrix Laboratory

MESFET: Metal Semiconductor Field Effect Transistor

MODFET: Modulated Doping Field Effect Transistor

MF: Margen de Fase

MG: Margen de Ganancia

MOSFET: Metal Oxide Semiconductor Field Effect Transistor

MSI: Medium Scale of Integration

MSPS: Mega Samples per Second

MBPS: Mega Bits per Second



NMOS: Negative Channel Metal Oxide Semiconductor

OSR: Over Sampling Ratio

PMOS: Positive Channel Metal Oxide Semiconductor

RF: Radio Frequency

RMS: Root Mean Square

SAR: Sucessive Approximation Register

SCR: Silicon Controlled Rectifier

SIP: System In Package

SNR: Signal to Noise Ratio

SoC: System on Chip

SPICE: Simulation Program With Integrated Circuit Emphasis

SSI: Small Scale of Integration

THD: Total Harmonic Distorsion

ULSI: Ultra Large Scale of Integration

VLSI: Very Large Scale of Integration

# CAPÍTULO 1

## Introducción

### 1.1 Concepto de Tecnología Electrónica

No resulta una tarea sencilla dar una definición de Tecnología Electrónica. Sus orígenes se asocian a los tubos rectificadores de vacío y a su aplicación en la radio (comunicaciones), o en los hornos de arco (procesos industriales). De modo que desde su génesis, cuando la Tecnología Electrónica comienza a emerger y diferenciarse como rama de la ingeniería eléctrica, hablar de Tecnología Electrónica significaba hacerlo sobre dispositivos electrónicos, aún en aplicaciones diferenciadas.

La definición de la Electrónica admitida más ampliamente es la realizada por Millman y Seely, posteriormente adaptada por el *Institute of Radio Engineers* (IRE). Según ella, es:

*“La rama de la Ciencia y la Técnica que se ocupa, por un lado, del funcionamiento de los electrones en el vacío, en presencia de campos eléctricos y magnéticos y de las interacciones electrón-materia y electrón-radiación, lo que constituye básicamente el estudio de los dispositivos electrónicos. Por otro lado, se ocupa del diseño de los dispositivos y sus aplicaciones prácticas, basadas en los principios y dispositivos anteriores”*

En la versión de los *Proceedings* del IRE se define como Electrónica:

*“El campo de la Ciencia y la Ingeniería que trata de dispositivos electrónicos y de su utilización, entendiendo por dispositivo electrónico aquel en el que tiene lugar la conducción por electrones a través del vacío, de un gas o de un medio semiconductor”*

En cuanto a la definición de electrónica, según el diccionario de la Real Academia Española, se tiene que es:

*“La ciencia que estudia dispositivos basados en el movimiento de los electrones libres en el vacío, gases o semiconductores, cuando dichos electrones están sometidos a la acción de los campos electromagnéticos. Técnica que aplica a la industria los conceptos de esta ciencia”*

Aún así, en las definiciones no se da contenido preciso al concepto de dispositivo, al tiempo que se concede una importancia fundamental al electrón, cuando la Tecnología Electrónica se ocupa fundamentalmente de los dispositivos, los circuitos y los sistemas. Para tratar de precisar el concepto de dispositivo electrónico, es necesario recurrir a su evolución histórica. En todo caso, resultan destacables la aparición de las palabras dispositivo electrónico y la idea de que estos dispositivos, junto con otros componentes y técnicas, permiten la materialización física de los circuitos y sistemas ideados por una serie de campos de la ingeniería de reciente desarrollo, fundamentalmente las Telecomunicaciones, la Informática y la Automática.

Baste añadir que la Tecnología Electrónica engloba las áreas de las Tecnologías de la Información propuestas por Fundesco, denominadas tecnologías físico-electrónicas básicas y de circuitos y equipos electrónicos. Por tanto, es la encargada de proporcionar el soporte material para otras tecnologías de índole aplicada, poniéndose de manifiesto su interrelación entre ellas.

Una nueva imagen de la electrónica es la ofrecida por Therman que la representa como una pirámide con varios niveles. En su vértice se hallan los procesos tecnológicos necesarios para la obtención de materiales y la fabricación de dispositivos. El siguiente nivel incluye los diferentes dispositivos: diodos, transistores, láseres de semiconductores, fibras ópticas, etc. Un mismo proceso puede emplearse para la fabricación de distintos componentes, salvo por ligeras modificaciones. El tercer nivel reúne los diferentes circuitos que pueden fabricarse con los dispositivos: digitales, analógicos, de potencia, para microondas, transductores, etc. Un dispositivo puede servir en una amplia variedad de circuitos, si bien debe estar optimizado en cada caso. Al último nivel corresponden los sistemas (analógicos, digitales de comunicaciones, etc., y sus combinaciones). Análogamente, el mismo circuito puede ser utilizado en distintos sistemas. La forma piramidal se debe a la mayor variedad de elementos en cada nivel generada por la combinación de los del nivel anterior.

Esta descripción, es la comúnmente aceptada hoy en la ordenación académica de la Electrónica en la práctica totalidad de las Escuelas de Ingeniería, a pesar de sus deficiencias. Las fronteras entre los distintos niveles tienden a difuminarse, para constituir una única entidad. Con el tiempo se extiende la idea de que los ingenieros electrónicos del futuro serán ingenieros de sistemas, que diseñarán sus circuitos partiendo de los procesos tecnológicos óptimos para obtener el máximo rendimiento.

## 1.2 Reseña electrónica de la Tecnología Electrónica

La historia de la Tecnología Electrónica se desarrolla en torno a varios descubrimientos salpicados por las pequeñas contribuciones, imprescindibles para su progreso, de un ingente número de investigadores anónimos. Su evolución arranca a partir de los trabajos que sientan las bases de la electricidad y el magnetismo, realizados durante los siglos XVIII y XIX. Con ellos, se posibilitó la invención de sistemas de comunicaciones como el telégrafo, el teléfono o la telegrafía sin hilos.

En torno a 1840 la electricidad empezó a cambiar la forma de vida de la gente. Mensajes telegráficos sustituían a las cartas traídas por caballos y barcos, y la energía eléctrica no tardó en llegar. Sin embargo, las máquinas que ayudaban a la gente a comunicarse, controlar cosas y hacer cálculos, han existido desde hace mucho tiempo. En estas sencillas máquinas se esconden los principios de muchas ideas usadas por la electrónica -principios como la lógica y la amplificación-.

La propia historia de la Instrumentación Electrónica es inseparable del propio desarrollo de la electricidad, el magnetismo y la electrónica. La necesidad de medir magnitudes, a fin de conocer alguna cualidad de éstas, es tan vieja como lo es la historia científica del ser humano. El galvanómetro fue el principal testigo de los trabajos que fundaron las bases de la electricidad y el magnetismo.

La forma primitiva del galvanómetro fue simplemente el aparato de Oersted, esto es, una aguja imanada colocada debajo del conductor por el cual circula la corriente que se desea medir. Hans Christian Oersted (1771-1851), científico danés, llevó a cabo descubrimientos que relacionaba electricidad y magnetismo. Michael Faraday (1791-1867) habiendo leído acerca del trabajo de Oersted descubrió que un campo magnético variable cerca de un hilo producía una corriente eléctrica, cerrando así la relación entre electricidad y magnetismo.

Lord Kelvin perfeccionó los instrumentos de este tipo a partir de 1890, en grado tal que su sensibilidad apenas es sobrepasada por ninguno de los aparatos de que puede disponerse actualmente.

En 1883 Thomas A. Edison descubrió el efecto termoiónico en un tubo de vacío, observando el flujo de corriente que se producía entre un filamento incandescente y una placa metálica polarizados.

En 1889 Joseph J. Thomson procedía al descubrimiento experimental del electrón midiendo aproximadamente su masa con respecto a la del átomo de hidrógeno, probando que la partícula negativa electrón era un integrante de todos los átomos materiales, constituyendo la unidad eléctrica básica de la materia.

En 1897 Braun desarrolla el tubo de rayos catódicos; en 1904 Fleming desarrolla el diodo de vacío permitiendo por primera vez la detección o demodulación de las ondas de radio; Lee de Forest añadiendo un tercer electrodo al tubo de Fleming, desarrolló el primer tubo amplificador de vacío o triodo, el audión (1907). A partir del invento de estos dispositivos se inicia una intensa tarea para su explotación, que abarca los campos de comunicaciones, control y computación.

En 1910 Millikan logró aislar el electrón y medir su carga, demostrando que todas las cargas positivas o negativas son múltiplos exactos de ésta unidad. Millikan dejaba establecido el carácter atómico de la electricidad.

La primera revolución electrónica comenzó en el año 1947 (Electrónica de Estado Sólido) con la invención del transistor de silicio en los laboratorios de la compañía Bell Telephone por los científicos Bardeen, Brattain y Shockley. Los dispositivos de estado sólido eran conocidos también desde los inicios del presente siglo cuando se presenta el primer diodo de silicio aplicado a la detección de ondas de radio. Sin embargo, fue la invención del transistor bipolar, el acontecimiento que marcaría la revolución de la Tecnología Electrónica. Este hecho, al principio, no recibió atención popular. El 1 de Julio de 1948 el New York Times comenta en una nota de su última página, con cierta indiferencia, la invención del transistor, que había sido hecha pública la tarde anterior por un portavoz de los Bell. Por contra, la acogida sí fue entusiasta en los ambientes científicos. Basado en estos trabajos, seguirían el desarrollo de los diodos y tiristores (SCR) en el año 1956. Por esta contribución histórica los tres investigadores recibieron el premio Nobel de Física (1956), el primero concebido por el desarrollo de un dispositivo de ingeniería.

El advenimiento casi simultáneo del ordenador digital, que requería gran número de interruptores pequeños y de baja potencia, abrió al transistor un gran

mercado. De modo que la conjunción entre un nuevo componente y una nueva aplicación generó un crecimiento explosivo de ambos.

La curiosidad intelectual fue un factor decisivo en el nacimiento del transistor. Mucho más que con ningún otro dispositivo electrónico, el transistor tiene sus raíces en la teoría científica por encima del desarrollo tecnológico. La idea de realizar un amplificador de estado sólido, a la postre semilla de la invención del transistor, se la habían planteado muchos investigadores. Los primeros intentos aparecieron vinculados al control de una corriente mediante un campo eléctrico aplicado a través de un electrodo (principio de efecto campo), concepto análogo a la acción ejercida por una rejilla en un triodo de vacío, puesta en práctica años antes.

El grupo de los Bell trató también de sacar fruto de este efecto. En Abril de 1947, se propusieron algunas ideas para realizar un transistor de efecto campo. Continuos estudios llevaron a Shockley en 1948 a sugerir que el efecto transistor se produciría también en una estructura constituida por una región tipo n entre dos regiones tipo p de un semiconductor. Sin embargo, el transistor de unión, como le llamó Shockley, no fue una realidad hasta 1950 cuando G. Teal y J.B. Little consiguieron crecer una estructura pnp de cristales de Ge cambiando de dopante durante el crecimiento. Este dispositivo, mucho menos ruidoso que su predecesor y capaz de manejar mucho mayor potencia, contribuyó a despertar el interés industrial y la tecnología del transistor empezó a desarrollarse de manera espectacular.

En 1954 G. Teal presentó en una conferencia del IRE los primeros transistores hechos de silicio. Sólo algunos años después llegaron los transistores de difusión por tecnología de mesa fabricados por primera vez por Fairchild.

Paralelamente los trabajos sobre un transistor de efecto campo no habrían sido abandonados del todo. En 1958, Tszner realizó en Francia el primer JFET. Lo que atraía de los FETs era su poco consumo de potencia y su potencialidad respecto a un diseño simple.

En 1960, Kjang y Atalla (Bell Labs) fabricaban los primeros transistores de efecto de campo de puerta aislada.

Ya en 1959 Kilby en Texas Instrument y Noyce en Fairchild desarrollan paralelamente y por separado la idea de fabricar distintos componentes sobre un mismo sustrato, aislarlo e interconectarlo. Es la aparición de la tecnología planar, que dará lugar a la Microelectrónica, y hará posible el desarrollo del microprocesador. Otros avances de la Electrónica en estos años fueron el crecimiento epitaxial para

fabricar transistores, impulsado por los Laboratorios Bell (1960) y la implantación iónica (1961).

En 1962 la RCA anuncia la fabricación de un circuito con 16 dispositivos MOSFETs en un chip de  $2.5 \text{ mm}^2$ . Este acontecimiento supuso el nacimiento de los circuitos integrados, y con él el de una nueva etapa de crecimiento de la Tecnología Electrónica: la Microelectrónica.

Paralelamente, con el desarrollo de los circuitos integrados, la electrónica digital fue tomando cada vez más interés. En 1937, la idea de transformar la voz en un código digital fue del ingeniero de teléfonos británico Alec Reeves, mientras trabajaba en sistemas que pudieran transmitir varias llamadas por la misma línea telefónica, para la conexión entre centrales de ciudades diferentes. Demostró que las conversaciones telefónicas podían reducirse a un conjunto de pulsos. Su código de modulación de pulsos tuvo que esperar hasta los años 70 para que la electrónica lo hiciese suficientemente práctico.

El paso de la Electrónica a la Microelectrónica puede definirse como la transición de los componentes individuales al circuito integrado (CI), compuesto por un chip o pequeño cristal de silicio que contiene gran cantidad de elementos individuales en forma miniaturizada. Con esta técnica de integración se logra una mayor complejidad de circuitos, menores dimensiones, mayor fiabilidad, a un coste de fabricación más reducido.

La historia de la Microelectrónica va marcada por la sucesión de diversas tecnologías según el número de componentes integrados en el mismo circuito. A comienzos de los 60, la tecnología SSI (Small Scale of Integration) permitía la integración de hasta 100 transistores por circuito integrado. A mediados de los 60 aparece la tecnología MSI (Medium Scale of Integration) capaz de integrar varios cientos de transistores en un chip.

En la década de los 70 aparece la tecnología LSI (Large Scale of Integration), aplicada fundamentalmente a circuitos digitales, con la que se integran varios miles de transistores. Durante esta década los microprocesadores fueron evolucionando desde los primitivos microprocesadores a 4 bits como el 4004 de Intel (1971) hasta la aparición al final de la década de los microprocesadores de 16 bits. Este hecho extendió de forma importante el campo de aplicación de la electrónica hacia las aplicaciones de computación, que a su vez permitieron fabricar nuevos circuitos más complejos.



Durante la década de los 80 se puede hablar ya de la tecnología VLSI (Very Large Scale of Integration) para designar a los circuitos que contienen entre diez mil y cien mil dispositivos en un chip. Estas tecnologías, con longitud de canal del orden de los 5  $\mu\text{m}$ , se dedicaron a la realización casi exclusiva de microprocesadores y memorias (estas últimas siempre situadas en el límite de la tecnología, siendo las que mayor densidad de integración emplean). En la actualidad se habla de la tecnología ULSI (Ultra Large Scale of Integration). Si al principio se fijaron los límites entre cien mil y un millón de transistores por chip, lo cierto es que, en la práctica, todas estas previsiones se han rebasado. En la figura 1.1 se representan datos históricos y la llamada *Ley de Moore*. Dicha ley expresa que aproximadamente cada dieciocho meses se duplica el número de transistores en un circuito integrado. Fue dictada por el co-fundador de Intel, Gordon E. Moore, y hasta hoy se ha podido constatar su cumplimiento.

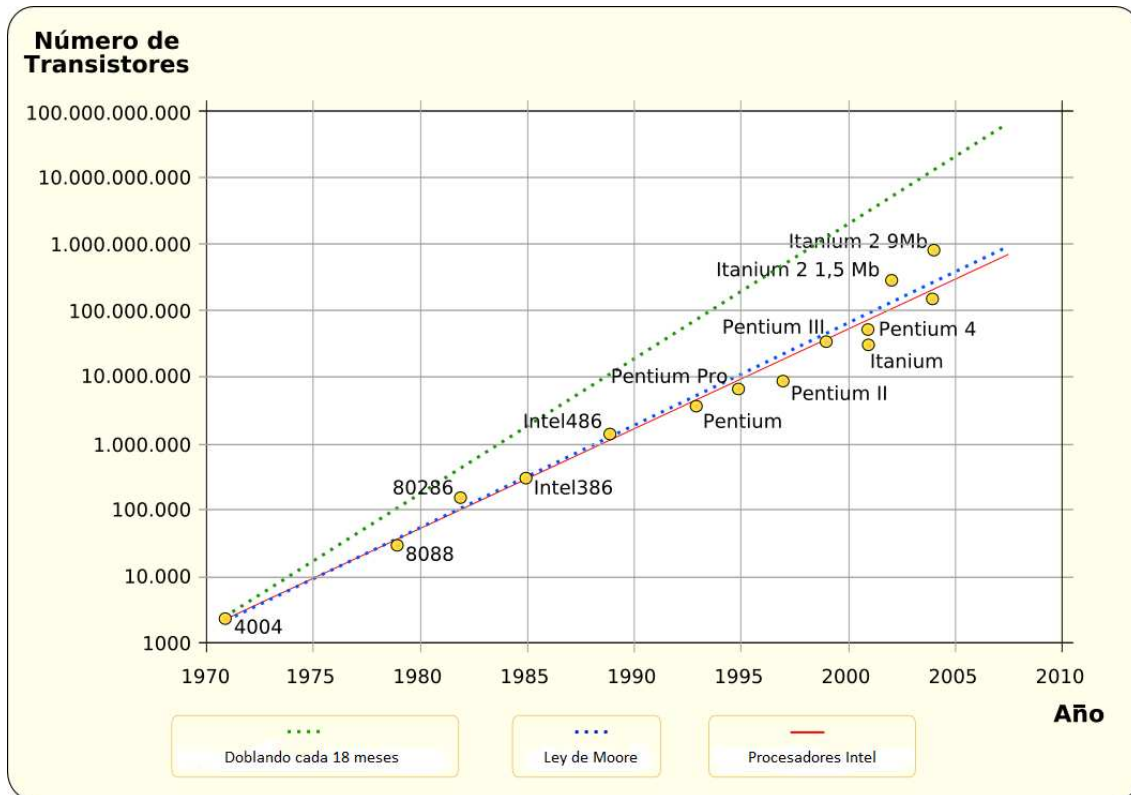


Figura 1.1: Datos históricos y ley de Moore

En la década de los 80 se asiste también a la introducción revolucionaria de los circuitos a medida, o ASICs, con multitud de matices dependiendo del grado de libertad de que se disponga en el diseño (full—custom y semi—custom, incluyéndose en esta categoría células estándar, gate arrays, y PLAs). En realidad, habían sido desarrollados sin éxito por Molectro (1965), habiéndose de esperar a la comercialización del primer ASIC moderno por IBM en 1978. En conjunción con el uso

generalizado del diseño asistido por ordenador, este tipo de CI proporciona varias ventajas, que han supuesto su creciente contribución al mercado mundial.

Por su parte, los CI analógicos aparecieron hacia 1964, cuando Wildar, en Fairchild, desarrolló el primer amplificador operacional (AO), el  $\mu A709$ . Desde su origen, los AO han sido con diferencia el principal elemento en el procesado analógico de señal. Después han aparecido nuevos circuitos y subsistemas analógicos: multiplicadores analógicos, conversores, filtros activos. La mayoría de estos circuitos empleaban transistores bipolares, pero paulatinamente van surgiendo aplicaciones de la tecnología MOS, o la combinación de ambas (tecnologías BiCMOS).

Merece la pena mencionar por último las aplicaciones en Electrónica de alta velocidad, de reciente desarrollo a partir de nuevos dispositivos: los transistores metal—semiconductor (MESFET), de alta movilidad (MODFET o HEMT) y bipolar de heteroestructura (HBT). El uso de GaAs en lugar de Si presenta las ventajas de mayor movilidad electrónica, menor sensibilidad a la radiación y bajo nivel de ruidos y menor consumo de potencia. A pesar de que últimamente los progresos en la tecnología del Si (reducción del tamaño mínimo de canal que implica aumento de velocidad y mayor complejidad circuital) podrían enmascarar las consabidas ventajas del GaAs frente al Si, estos avances han alcanzado su límite.

### 1.3 System-on- chip

Cabe en este punto hacer mención y desarrollar el concepto de System-on-chip (SoC). Este término describe la tendencia de usar tecnologías de fabricación que integran todos o gran parte de los módulos que componen cualquier sistema electrónico o informático en un único circuito integrado (chip). El diseño de estos sistemas puede estar basado en circuitos de señal analógica, digital o incluso de señal mixta y a menudo módulos o sistemas de radiofrecuencia.

La principal diferencia de un SoC con un microcontrolador clásico no ha de pasarse por alto puesto que las limitaciones de memoria de un microcontrolador son mayores y la gran parte de los mismos se basan en estructuras mono-chip mientras que el término SoC es usado para procesadores más potentes y complejos como son los ordenadores actuales, y que dependen de chips o módulos de memoria externos para incrementar su eficacia.

Para sistemas mayores y complejos sería impropio hablar de SoC's, convirtiéndose el término en una mera referencia más que en seguir la propia realidad

de estos: aumentar la integración en un mismo chip con el objetivo de reducir costes y construir sistemas cada vez más reducidos (capaces de lo mismo o más que sistemas más antiguos y voluminosos).

Alternativas al diseño y fabricación de un SoC, para casos, por ejemplo, en que no sea rentable pueden ser los sistemas System-in-Package (SIP), que comprenden un número determinado de chips integrado en uno sólo. A pesar de esto, la fabricación en gran volumen de SoCs sigue siendo más rentable que la de un sistema SIP debido a que el rendimiento unitario para un SoC es mayor y su montaje y empaquetado mucho más sencillos.

## 1.4 Motivaciones

En las últimas décadas se ha despertado un gran interés por el desarrollo de las comunicaciones y más en concreto de las comunicaciones inalámbricas. Este desarrollo ha supuesto un cambio patente en muchos ámbitos de la sociedad, tanto a nivel comercial como en la educación, investigación, relaciones sociales, medicina, etc.

A lo largo de estos últimos años, la mayoría de los avances que se han producido en el campo de las comunicaciones han ido orientados al desarrollo de sistemas de comunicación inalámbrica a través de señales de radio frecuencia (RF), tales como la telefonía móvil y teléfonos inalámbricos, sistemas de GPS, radio y televisión digitales, etc.

En estos sistemas de comunicaciones se tendrán presentes siempre conversores analógicos-digitales, A/D. Dentro de estos conversores se encuentran los denominados *sigma-delta* los cuales presentan entre sus componentes principales integradores que estarán implementados con amplificadores operacionales. El diseño de este último componente, el amplificador operacional, será en lo que se centre este Proyecto Fin de Carrera ya que dicho amplificador formará parte de uno de los integradores de filtrado de bucle de un convertor *sigma-delta* en tiempo continuo.

En este punto se tratará de justificar la realización del integrador que ocupa este proyecto mediante el estudio de receptores en sistemas inalámbricos y uno de sus principales componentes: los convertidores analógicos digitales.

El funcionamiento básico de un receptor es recibir la señal de RF, seleccionar la banda de frecuencia deseada y excluir el resto de frecuencias del espectro (mediante el uso de filtros), trasladar dicha señal de la frecuencia RF a una frecuencia menor

llamada *frecuencia intermedia* (FI) (con multiplicadores analógicos y osciladores), para después demodular la información y llevarla así a banda base (BB), que es la banda de frecuencia baja original de la señal que transporta la información. Tras este proceso se realizará el tratamiento digital de esta señal analógica para el cual es necesario incorporar un conversor analógico/digital (ADC, A/D).

Todo este proceso se ve reflejado en la figura 1.2

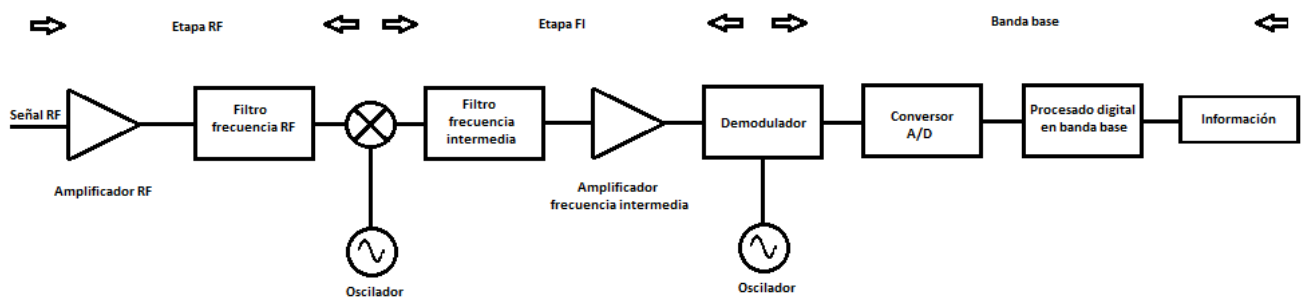


Figura 1.2: Estructura típica de un receptor de RF

Dentro de los conversores A/D podemos encontrar distintos tipos que se irán detallando a continuación.

### Convertor de aproximaciones sucesivas (SAR)

Los conversores por registros de aproximaciones sucesivas (SAR-*successive approximation register*) son frecuentemente la arquitectura que se elige para las aplicaciones de media a alta resolución a tasas de muestreo medias. Los conversores SAR tienen una resolución entre los 8 y 11 bits. Una de sus ventajas es su bajo consumo. Su diagrama se muestra en la figura 1.3.

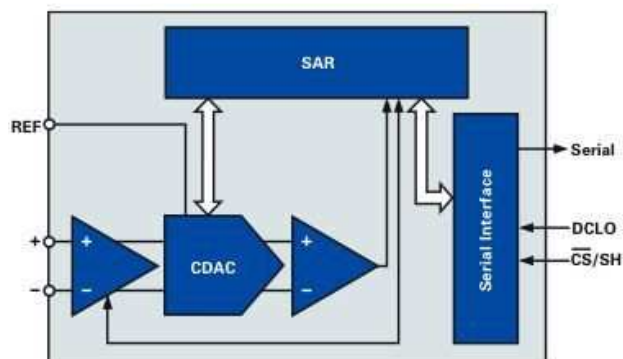


Figura 1.3: Diagrama del convertor SAR

Este tipo de conversor hace uso de la técnica del *sample & hold* (muestreo y retención), por lo que la arquitectura en ningún momento asume nada sobre la naturaleza de la señal de entrada, y por lo tanto esta señal no tiene que ser continua. Este hecho hace que el conversor SAR sea una arquitectura ideal para aplicaciones donde se debe muestrear muchas señales y se utiliza un multiplexor a la entrada del mismo, o bien cuando las muestras no son tomadas una seguida de la otra sino que son tomadas cada algunos segundos o más. También donde se requiera una conversión rápida.

El tiempo de conversión se mantiene constante en todos los casos, y tiene una demora, desde la adquisición hasta la conversión, comparable a los conversores del tipo *pipeline* o *sigma-delta* que se detallan a continuación. El conversor SAR es ideal para aplicaciones de tiempo real, tales como el control industrial, control de motores, instrumentos portables o a batería, y equipos de adquisición de datos o señales.

### Conversor pipeline

La mayoría de los conversores, dentro del rango de las decenas de millones de muestras por segundo, están basados en una arquitectura del tipo *tubería (pipeline)*. Los conversores *pipeline* consisten en "N" etapas en cascada. La operación continua de todas las etapas de la tubería hacen que este tipo de arquitectura alcance velocidades de muestreo altas. Cada una de estas etapas son idénticas en su esencia, alineadas una detrás de otra, y diseñadas para convertir sólo una parte de la muestra analógica de entrada. El resultado digital de la comparación hecha por cada una de las etapas es alineada luego para obtener la salida en paralelo de estos resultados. En cierta forma, sería como colocar tantos ADC de 1 bit de resolución como bits de resolución se deseen obtener. Por cada ciclo de reloj se obtiene una nueva muestra. Sin embargo, dado este tipo de construcción, es evidente que se tiene un retardo desde que se tomó la muestra hasta que se obtiene la salida, pero en la mayoría de las aplicaciones esto no es una limitación ya que dicho retardo, expresado en ciclos de reloj, es constante y conocido. En la figura 1.4 se muestra el diagrama de este tipo de conversor.

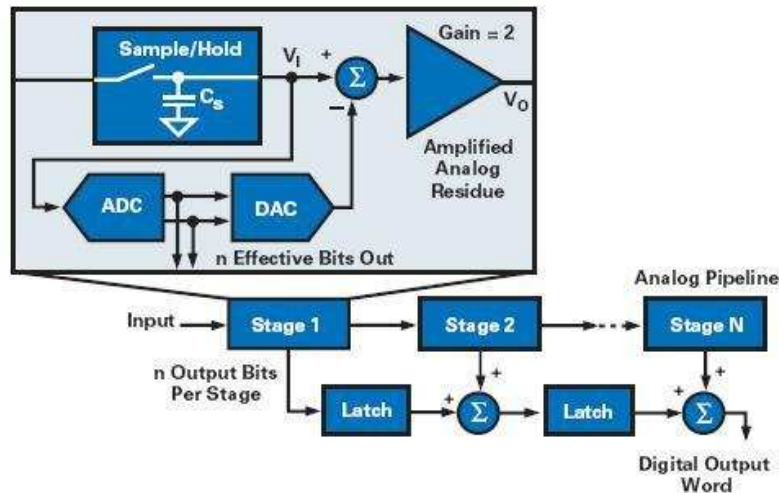


Figura 1.4: Diagrama del convertor pipeline

En los conversores del este tipo la complejidad crece linealmente con la cantidad de bits de resolución que se exigen, y esto es justamente debido al tipo de construcción en tubería. Se logran tener conversores de alta velocidad, fáciles de diseñar, de alta resolución pero pagando el precio de un consumo mayor. Los *pipeline* son útiles en un amplio rango de aplicaciones, más notablemente en el área de las comunicaciones digitales.

### Convertor flash

También conocidos como conversores en paralelo, presentan la arquitectura más rápida dentro de los conversores A/D.

Se usan para aplicaciones que no necesitan una resolución muy elevada, típicamente de unos 4-7 bits, pero que requieran muestrear señales de cientos de MHz o mayores incluso. En estos casos es posible que esta sea la única arquitectura viable.

En contra presentan un consumo de potencia mayor que otras arquitecturas y un coste más elevado por lo que su uso se limita a aplicaciones de alta frecuencia en las cuales no sea viable el uso de otro tipo de arquitectura. Entre las aplicaciones típicas se pueden encontrar: adquisición de datos, comunicaciones por satélite y procesamiento de radares.

Utilizan una estructura de conversión en paralelo en la cual existirán tantos comparadores como niveles de resolución se requieran, es decir, si se desean  $N$  bits de resolución el comparador tendrán  $2N-1$  comparadores. La figura 1.5 muestra su arquitectura:

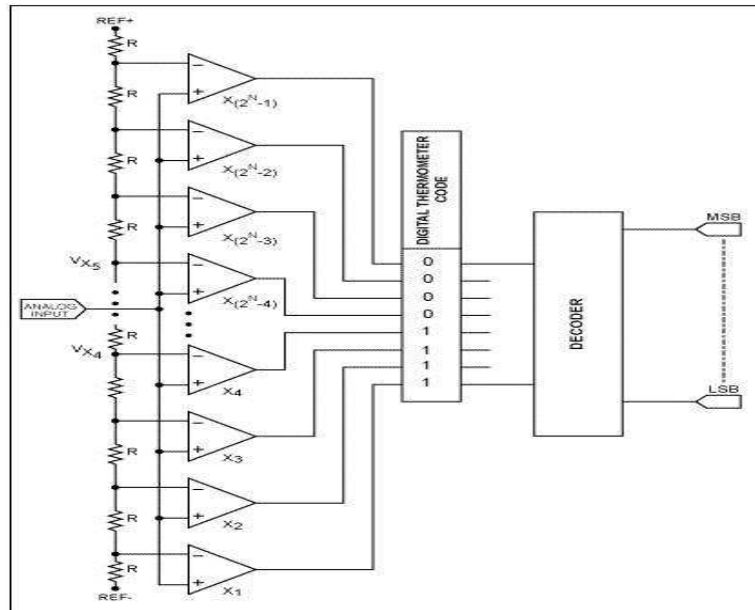
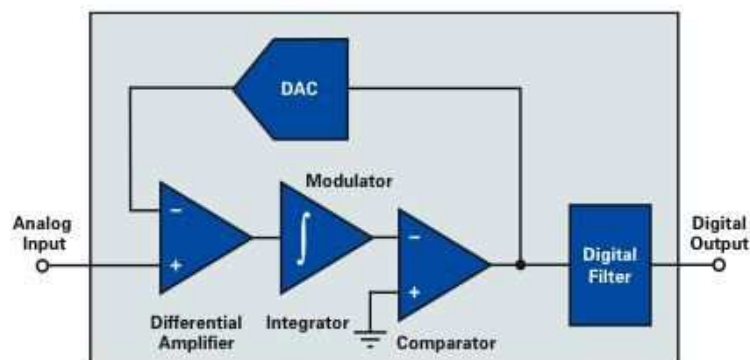


Figura 1.5: Diagrama del conversor flash

### Conversor sigma-delta

El conversor *sigma-delta* destaca por su alta resolución, y es el mejor para la conversión de señales con un ancho de banda amplio (desde tensión continua hasta una frecuencia de algunos mega ciclos). Básicamente, en este conversor la señal de entrada es sobremuestreada (*oversampling*) por un modulador y luego filtrada y diezmada por un filtro digital como se puede ver en el diagrama de la figura 1.6.


Figura 1.6: Diagrama del conversor *sigma-delta*

Su funcionamiento mezcla la técnica de sobremuestreo con la técnica del conformado de ruido para conseguir incrementar la resolución de los métodos clásicos. Realizan una cuantificación de pocos niveles integrada en uno o más bucles de

realimentación. Mediante el muestreo a una frecuencia mucho mayor que el ancho de banda de la señal a digitalizar, los bucles de realimentación permiten desplazar la mayor parte de la potencia de ruido de cuantificación fuera de la banda de señal, pudiendo así ser considerablemente atenuado después con un filtro paso-bajo. El grado de atenuación del ruido de cuantificación en la banda de señal que se puede alcanzar depende del orden del modulador y de la frecuencia de sobremuestreo (cuanto mayores sean estos dos parámetros, mayor será la atenuación del ruido). [9]

Veamos ahora qué características especiales presentan los conversores A/D de tipo *sigma-delta* para hacer de ellos los más ventajosos dentro del grupo de los convertidores de datos.

La modulación *sigma-delta* surge como una extensión previamente conocida como *modulación-Delta*. Dicha modulación *Delta* está basada en la cuantificación del cambio de la señal entre muestra y muestra, en vez de la cuantificación del valor absoluto que la señal tenga en cada una de esas muestras. En la figura 1.7 se muestra el diagrama de bloques de un modulador/demodulador delta del tiempo continuo:

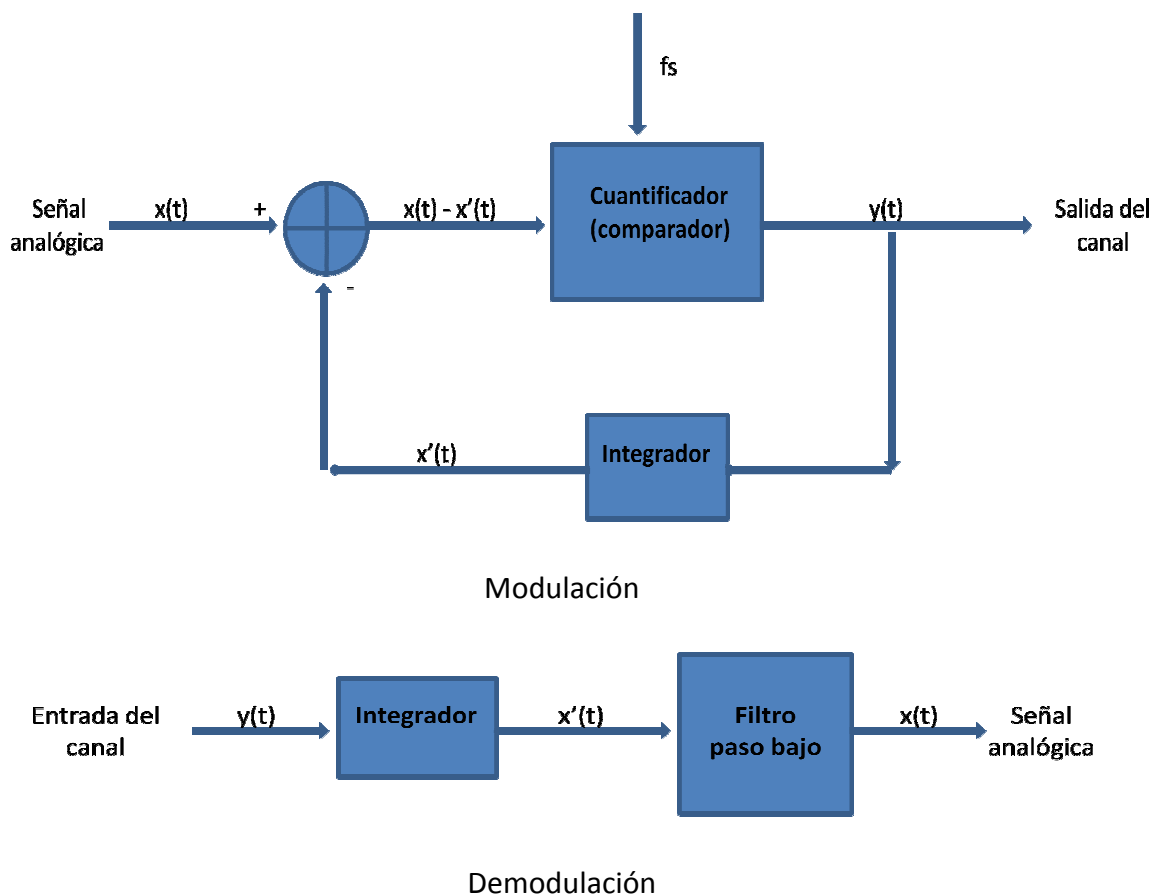


Figura 1.7: Diagrama de bloques de un modulador/demodulador Delta



El integrador del bucle de realimentación del modulador actúa como un “predictor”, ya que trata de predecir, a través del valor de  $x'(t)$ , el valor de la señal de entrada en cada momento,  $x(t)$ . El error cometido en la predicción,  $x(t)-x'(t)$ , es cuantificado y usado para hacer la siguiente predicción.

De igual forma, el error de predicción cuantificado (salida del modulador delta) es integrado en el receptor, encargado de hacer la demodulación, es decir, el receptor también predice los valores de la señal de entrada. La señal predicha por el receptor es después filtrada por un filtro paso bajo.

Como se puede ver, la modulación Delta hace uso de dos integradores, uno en el proceso de modulación y otro en el proceso de demodulación. Sin embargo, como la integración es una operación lineal, el integrador de la fase de demodulación, puede ser colocado delante del modulador sin que afecte a las características de entrada/salida generales del sistema. Si tras este paso, se vuelven a aplicar las características de operaciones lineales, ambos integradores se pueden combinar para formar uno solo, dando lugar a lo que se conoce como modulador *sigma-delta* cuyo esquema queda reflejado en la figura 1.8.

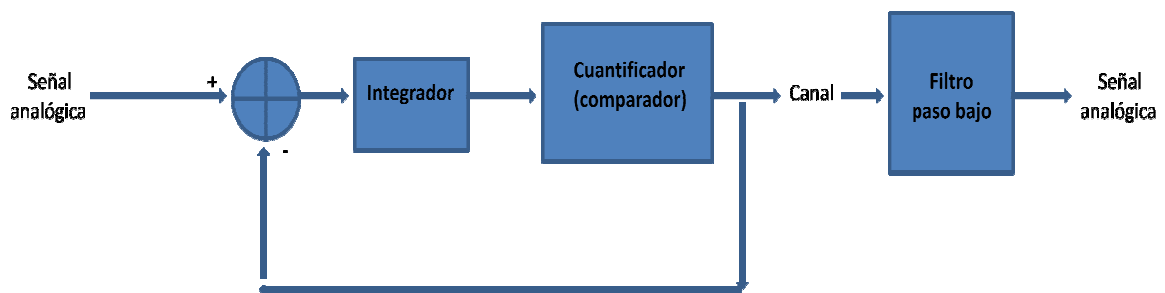


Figura 1.8: Modulación *sigma-delta*

El funcionamiento del conversor *sigma-delta* presenta un compromiso entre velocidad y resolución, es decir, que si se precisa mucha resolución, entonces el dispositivo será más lento y consumirá más potencia, mientras que si se requiere menos resolución, entonces se pueden lograr tiempos de conversión más bajos o un consumo de potencia más bajo. Además, muchos de estos dispositivos permiten que este comportamiento pueda ser programado. Esto hace que este tipo de conversores sea muy flexible y permita en un mismo aparato diferentes tipos de uso de acuerdo a los requerimientos.

Como se comentó al principio, la característica principal de estos conversores A/D y que los diferencian del resto es que utilizan la técnica del conformado de ruido o *noise-shaping*. Esta propiedad es ideal para aplicaciones de procesamiento de señal como

audio o comunicaciones digitales y se basa en el hecho de que la característica del ruido de cuantificación se hace variable con la frecuencia.

El bucle *sigma-delta*, lo que hace es “desplazar” el ruido a frecuencias más altas de la correspondiente a la señal de entrada, de tal forma que la potencia de ruido presente en el intervalo de frecuencias marcado por el ancho de banda de la señal es menor comparado con los convertidores que funcionan a la frecuencia de Nyquist.

El uso de estos moduladores de sobremuestreo *sigma-delta*, en la integración de convertidores A/D de alta resolución, ha supuesto una solución para superar las limitaciones inherentes de los componentes analógicos en las modernas técnicas de VLSI (Very Large Scale Integration)

Además de su insensibilidad a las posibles no-linealidades o errores del circuito, los convertidores A/D de sobremuestreo hacen que sea más fácil su integración en un sistema mayor, ya que reducen la necesidad y las exigencias de la circuitería analógica de apoyo.

De todos los elementos que componen este convertidor *sigma-delta* el más crítico es, sin duda, el integrador del filtro de realimentación, y de manera más concreta el amplificador operacional utilizado para implementar dicho integrador.

Por esta y otras razones, el diseño de los amplificadores operacionales que constituyen los integradores de un convertidor *sigma-delta* debe seguir un proceso muy cuidadoso en el que deben tenerse en cuenta parámetros importantes como la ganancia, el ancho de banda, el margen de fase, el slew-rate, o los voltajes de saturación, entre otros.

En esto es en lo que se centra este Proyecto Fin de Carrera, en el diseño y caracterización de un amplificador operacional para su uso como integrador en un convertidor A/D *sigma-delta* de tiempo continuo. Para ello se seguirán las etapas del proceso típicas en este tipo de trabajos, se comenzará haciendo un análisis a nivel de sistema para poder obtener los parámetros de diseño del amplificador operacional y, tras este paso, se concretará el diseño a nivel de transistor del mismo.

## 1.5 Descripción y objetivos

Como ya se ha mencionado anteriormente, este Proyecto Fin de Carrera tiene como objetivo principal el diseño de un amplificador operacional que formará parte de uno de los integradores del filtro de bucle de un conversor A/D de tipo *sigma-delta* de tiempo continuo.

Su implementación se hará a dos niveles: a nivel de sistema y a nivel de transistor. En ambos casos, para su diseño, se deberán tener en cuenta los siguientes aspectos:

- Se ha de conseguir un consumo lo menor posible para que el amplificador pueda ser utilizado en sistemas autónomos, alimentados con baterías de duración limitada.
- Se ha de escoger una tecnología adecuada para su implementación de manera que permita de manera sencilla y barata su integración con bloques digitales.
- La arquitectura elegida ha de ser sencilla y garantizar la estabilidad del amplificador. Ha de cumplir además con las especificaciones requeridas a nivel de sistema en su diseño y conseguir, entre otras cosas, reducir al máximo los efectos del ruido y posibles no linealidades del sistema.

El diseño a nivel de sistema se hará mediante el lenguaje de descripción de hardware llamado Verilog-A. Se trata de un lenguaje de alto nivel que usa módulos para describir la estructura y comportamiento de un sistema analógico y sus componentes. Tras la implementación del comportamiento del amplificador operacional con este lenguaje, se caracterizará en un simulador de *SPICE* (*Spectre*) para validarlo.

En cuanto al diseño a nivel de transistor, comenzará por la realización del equivalente en pequeña señal de la arquitectura elegida. Mediante dicho modelo se puede tener una estimación para dar valores concretos a cada uno de los elementos, activos y pasivos, que conformarán el amplificador operacional. Tras este paso y en función de la tecnología elegida se realizará el diseño a nivel de transistor e igualmente, mediante el simulador de *SPICE* (*Spectre*), se validará su correcto funcionamiento y, por tanto, la validez del modelo.

## CAPÍTULO 2

### El amplificador operacional

#### 2.1 Introducción

El término de amplificador operacional fue asignado en torno a 1940 para designar un tipo de amplificadores que permiten realizar una serie de operaciones importantes de la época como pueden ser la suma, resta, integración, multiplicación, diferenciación, etc. La aparición y desarrollo de la tecnología integrada, a lo largo del tiempo, trajo consigo el surgimiento de amplificadores operacionales integrados que dieron lugar a una auténtica revolución dentro del área de las aplicaciones analógicas.

El primer amplificador operacional fue desarrollado por R.J. Widlar. Tras éste, en 1968, surgió el conocido amplificador operacional llamado 741 que desbancó a sus rivales de la época con una técnica de compensación de gran interés incluso a día de hoy.

Más tarde aparecieron los amplificadores CMOS como parte de los circuitos VLSI. A día de hoy, esta tecnología compite perfectamente con los transistores bipolares, de hecho es la tecnología más usada por su sencillez, su baja área de ocupación y su bajo coste.

Ambas tecnologías (bipolar y CMOS) coexisten en numerosos diseños electrónicos. El objetivo de dicha coexistencia es la capacidad de tener sobre un mismo diseño, tanto una parte analógica como una parte digital, obteniendo de cada una de ellas las mejores prestaciones posibles.

Al combinarse las ventajas de ambos tipos de dispositivos (bipolares y CMOS), se consiguen diseños con excelentes prestaciones para los amplificadores operacionales.

La estructura básica de un amplificador operacional se presenta en la figura 2.1.

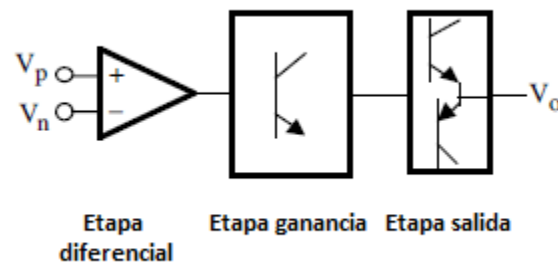


Figura 2.1: Bloques funcionales de un amplificador operacional

La gran mayoría de los amplificadores operacionales disponibles en el mercado emplean la estructura reflejada en la figura 2.1. Esta configuración en cascada se denomina comúnmente *amplificador operacional de dos etapas* ya que, únicamente son las etapas diferencial y de ganancia las que contribuyen a la ganancia de tensión global que proporciona el operacional. En posteriores puntos se hará un estudio detallado de cada una de estas etapas y se irán detallando sus principales características.

Este estudio se realizará basándose en amplificadores MOSFET, ya que es la tecnología empleada en la realización de este Proyecto Fin de Carrera y la más extendida actualmente. En el capítulo quinto de este documento, se entrará en detalle en las características de la misma y los transistores diseñados con ella.

## 2.2 Etapa diferencial

### 2.2.1 Amplificador diferencial básico

La etapa diferencial consta de un amplificador diferencial o par diferencial, elemento imprescindible en cualquier amplificador diferencial. Se emplea como etapa de entrada y su función consiste en ofrecer a la salida una tensión proporcional a la diferencia entre dos señales de entrada. [4]

En la figura 2.2 se puede ver el esquema de un amplificador diferencial básico basado en transistores NMOS y su equivalente en pequeña señal. Para este circuito la polarización se realiza a través de una fuente de corriente de valor  $I_{SS}$  con una resistencia interna  $R_{SS}$

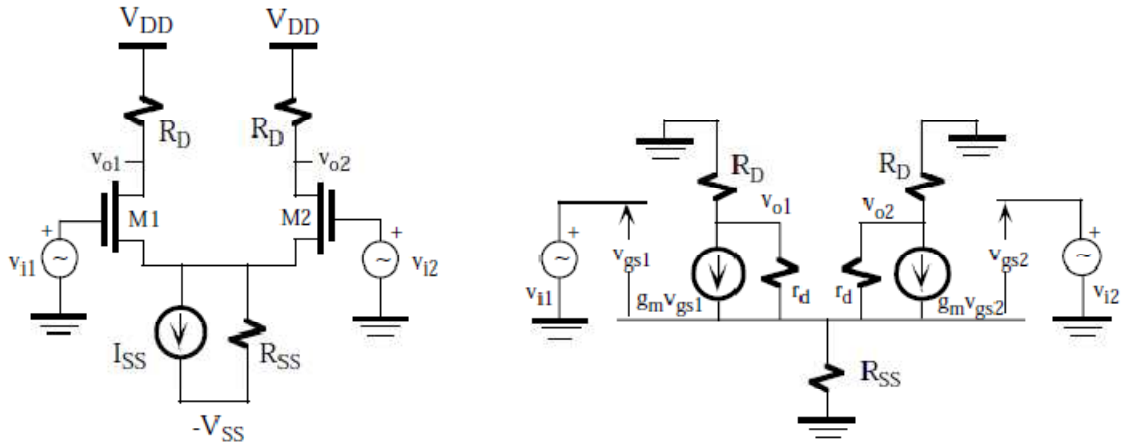


Figura 2.2: Amplificador diferencial NMOS y equivalente en pequeña señal

Una de sus características más importantes es la simetría, que le confiere unas propiedades especiales de análisis y diseño. Para ello, los transistores M1 y M2 han de ser exactamente idénticos, requerimiento que sólo se consigue cuando el circuito está fabricado en un chip.

La simetría comentada del amplificador diferencial hace que se pueda simplificar su análisis mediante la conversión de las tensiones de entrada en tensiones de entrada en modo común y diferencial, donde las tensiones en modo diferencial  $v_{id}$  y común  $v_{ic}$  y sus correspondientes salidas diferencial  $v_{od}$  y común  $v_{oc}$  se definen como:

$$\begin{cases} v_{id} = v_{i1} - v_{i2} \\ v_{ic} = \frac{v_{i1} + v_{i2}}{2} \end{cases}$$

[2.1]

$$\begin{cases} v_{od} = v_{o1} - v_{o2} \\ v_{oc} = \frac{v_{o1} + v_{o2}}{2} \end{cases}$$

[2.2]

Con estas dos definiciones, el amplificador diferencial presentará dos ganancias, una en modo diferencial ( $A_d$ ) y otra en modo común ( $A_c$ ):

$$A_d = \frac{v_{od}}{v_{id}} \quad \text{y} \quad A_c = \frac{v_{oc}}{v_{ic}}$$

[2.3]

En concreto, para el amplificador diferencial de la figura 2.2, se tendrán las siguientes expresiones de ganancia en modo común y diferencial, obtenidas del análisis de su equivalente en pequeña señal:

$$A_d = -g_m(R_D || r_d) \quad [2.4]$$

$$A_c = \frac{-\mu R_D}{2R_{SS}(1 + \mu) + r_d + R_D} \quad [2.5]$$

Siendo:

$g_m$ : factor de admitancia.

$R_D$ : resistencia de drenador.

$r_d$ : resistencia de drenador en modelo equivalente en pequeña señal.

$\mu$ : factor de amplificación.

$R_{SS}$ : resistencia interna usada para polarización.

### 2.2.2 Concepto de rechazo al modo común (CMRR)

Idealmente, un amplificador diferencial tiene una tensión de salida proporcional a la tensión de entrada diferencial  $v_{id}$ , y que no depende de la componente en modo común ( $A_c = 0$ ). En la práctica esto no sucede así y, para medir esta desviación, se introduce el concepto de la relación de rechazo en modo común, CMRR, que se define como la relación entre la ganancia en modo diferencial y la ganancia en modo común.

$$CMRR = \frac{A_d}{A_c} \quad [2.6]$$

Teniendo en cuenta esta definición se desearía un CMRR muy elevado, en el caso ideal  $CMRR \rightarrow \infty$  si  $R_{SS} \rightarrow \infty$ . La polarización del circuito es altamente dependiente de esta  $R_{SS}$  por lo que, una alternativa que se usa, es sustituir esta

resistencia por una fuente de corriente de manera que la polarización deseada se pueda obtener de manera sencilla y que el rechazo al modo común sea elevado, ya que una fuente de corriente presenta una impedancia interna muy alta.

### 2.2.3 Amplificador diferencial con cargas activas

La ganancia del amplificador diferencial básico visto anteriormente puede mejorarse utilizando cargas activas. En la figura 2.3 se puede ver un amplificador diferencial NMOS con carga activa formada por los transistores M3 y M4, los cuales tienen la puerta y el drenador cortocircuitado de forma que, en pequeña señal, pueden ser sustituidos por un elemento resistivo de valor  $r_{d1} || 1/g_{m1}$ . Las expresiones de  $A_d$  y  $A_c$  son similares a las de las ecuaciones 2.4 y 2.5 pero sustituyendo  $R_D$  por este elemento resistivo.

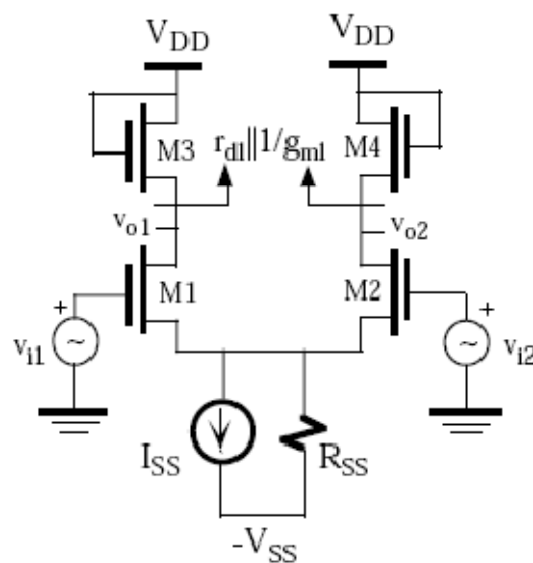


Figura 2.3: Amplificador diferencial NMOS con carga activa

La tecnología CMOS permite realizar también amplificadores diferenciales con espejos de corriente como carga activa. El amplificador de la figura 2.4 utiliza un espejo de corriente de transistores PMOS como carga activa y el de la figura 2.5 otro espejo de corriente autopolarizado con salida simple que realiza una conversión salida simple - entrada diferencial.



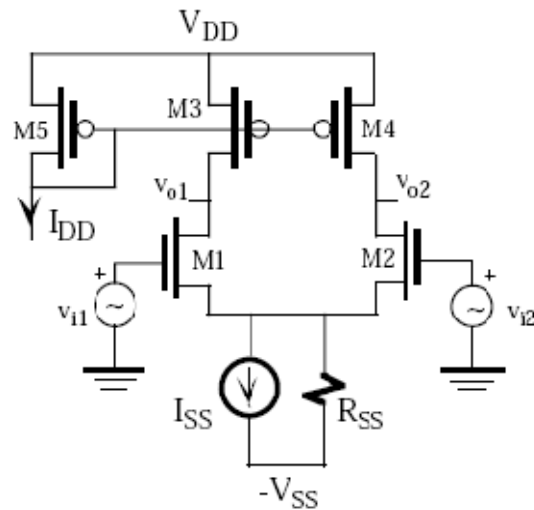


Figura 2.4: Amplificador diferencial CMOS con espejo de corriente

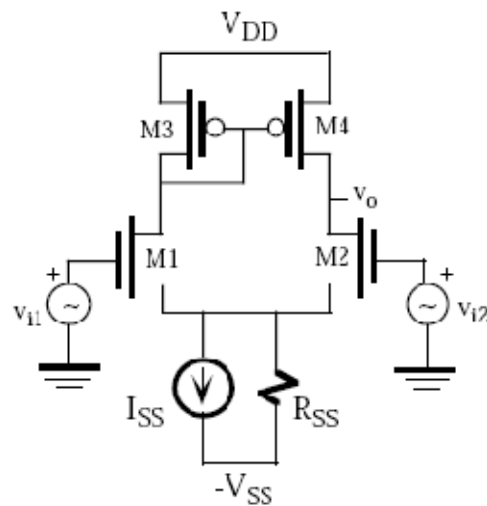


Figura 2.5: Amplificador diferencial CMOS autopolarizado

En estos dos últimos casos se puede demostrar que las ganancias, en primera aproximación, en modo diferencial y común valen:

$$A_d = \pm g_m (r_{d1} || r_{di})$$

[2.7]

$$A_c = \frac{-1}{2g_{mi} R_{ss} \left(1 + \frac{r_{d1}}{r_{di}}\right)}$$

[2.8]

## 2.3 Etapa de ganancia

Esta etapa es inmediatamente posterior a la anterior etapa diferencial vista. Su función será proporcionar una ganancia elevada, característica de un amplificador operacional en lazo abierto (sin realimentar).

El amplificador operacional es un circuito realimentado y el efecto de dicha realimentación sobre la ganancia presente en el amplificador operacional se pasa a mostrar a continuación; en la figura 2.6 se muestra el esquema de un amplificador realimentado:

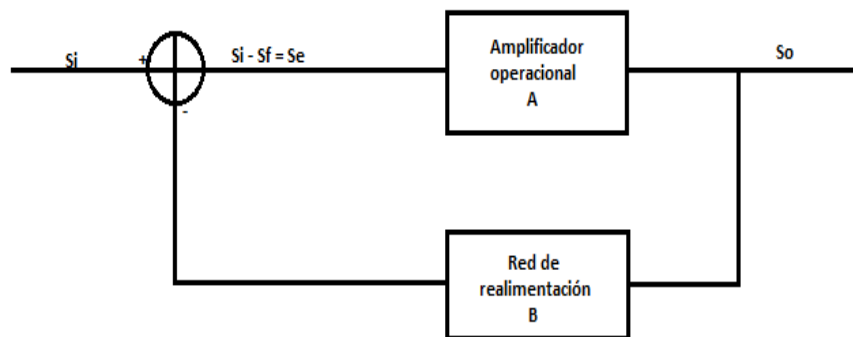


Figura 2.6: Esquema de amplificador realimentado

Las diversas señales están relacionadas por las siguientes ecuaciones:

$$S_o = AS_e \quad [2.9]$$

$$S_e = S_i - S_f \quad [2.10]$$

$$S_f = BS_o \quad [2.11]$$

Donde:

- $A$  es la ganancia en lazo abierto del amplificador operacional.
- $B$  es la función de transferencia de la red de realimentación.
- $S_i$  es la señal de entrada.

- $S_o$  es la señal de salida.
- $S_e$  es la señal de error.
- $S_f$  es la señal realimentada.

Mediante la combinación de las ecuaciones anteriores se tiene que la ganancia total del amplificador realimentado o ganancia en lazo cerrado es:

$$A_f = \frac{S_o}{S_i} = \frac{A}{1 + BA} \quad \text{para realimentación negativa} \quad [2.12]$$

$$A_f = \frac{S_o}{S_i} = \frac{A}{1 - BA} \quad \text{para realimentación positiva} \quad [2.13]$$

Si  $A$  toma un valor muy elevado  $\rightarrow AB \gg 1 \rightarrow A_f = \frac{1}{B} \rightarrow$  la ganancia total del amplificador realimentado únicamente depende de la red de realimentación, normalmente formada con elementos pasivos estables, por lo que su función de transferencia será siempre conocida y, por tanto, la ganancia en lazo cerrado del amplificador también.

Es interesante realizar esta aproximación ( $AB \gg 1$ ) y que la ganancia en lazo cerrado dependa sólo de la red de realimentación pues, la ganancia en lazo abierto de un amplificador, no suele estar muy bien determinada ya que sufre variaciones con factores como la temperatura o cambios en las condiciones de operación y en los parámetros de los componentes activos. Para que esta ganancia en lazo abierto sea elevada y se pueda despreciar se introduce esta etapa de ganancia en el amplificador operacional ya que la etapa diferencial por sí sola no es capaz de proporcionar un nivel de ganancia lo suficientemente alto.

## 2.4 Etapa de salida

La etapa de salida, también llamada etapa de potencia, es la última etapa de un amplificador y está localizada por tanto a su salida. Su misión principal es proporcionar cierta cantidad de potencia a una carga con aceptables niveles de distorsión. Esta etapa, además, ha de tener otra serie de características como son ser independiente

del valor de la carga, tener un consumo estático de potencia reducido y no limitar la respuesta en frecuencia del amplificador completo. [3]

Las etapas de salida se diseñan para trabajar con niveles de tensión y corriente elevados por lo que no son válidas aproximaciones y modelos en pequeña señal o han de ser tratados con mucha cautela.

La calidad del diseño vendrá, muchas veces, caracterizada a través de la *distorsión armónica total* (THD) que es un valor eficaz de las componentes armónicas de la señal de salida, sin incluir la fundamental de entrada, expresada a través del porcentaje en términos de *rms* respecto a la fundamental.

Otro parámetro a tener en cuenta es la eficiencia de la etapa, que indicará el porcentaje de potencia entregado a la carga respecto a la potencia total disipada por la etapa. Mayor eficiencia implica una mayor duración de tiempo de vida de baterías o uso de fuentes de alimentación de bajo coste.

Las etapas de salida se clasifican en función de la forma de onda de la corriente de colector del transistor. En los próximos apartados se detallarán los siguientes tipos de etapas: clase A, clase B y clase AB.

#### 2.4.1 Etapa de salida clase A

La configuración más sencilla de una etapa de salida clase A es el seguidor de emisor. Esta etapa presenta dos grandes desventajas. Una de ellas es que tiene una eficiencia baja, menos del 25%. La otra desventaja es el consumo estático de potencia que presenta incluso en ausencia de señal de entrada. En muchas aplicaciones existen largos tiempos muertos (*standby*) a la espera de señal de entrada o con señales intermitentes como es el caso de la voz humana. Esta etapa de salida desperdicia la potencia en esos tiempos de *standby* y tiene efectos perjudiciales como es la reducción del tiempo de duración de las baterías de los equipos electrónicos o un incremento de temperatura debido a ese consumo de potencia continuado, lo que se traduce en una mayor posibilidad de fallo del sistema electrónico con el paso del tiempo.

### 2.4.2 Etapa de salida clase B (push pull)

Esta etapa, frente a la etapa en clase A, presenta como mejora un consumo estático de potencia en modo *standby* prácticamente cero. En la figura 2.7 se muestra su esquema:

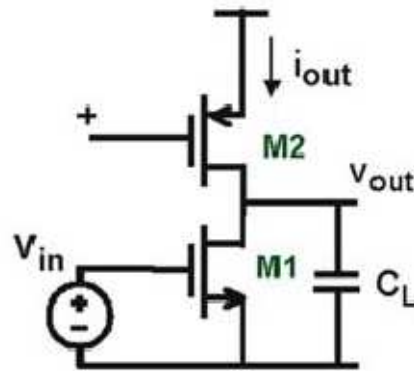


Figura 2.7: Etapa de salida clase B

Utiliza dos transistores, uno NMOS y otro PMOS, en contrafase que conducen alternándose dependiendo de si la señal de entrada es positiva o negativa (de ahí el nombre *push pull*). Otra ventaja que presenta es su mayor eficiencia respecto a la anterior etapa, en torno al 78%.

Como desventaja presenta el siguiente inconveniente: en el cambio del proceso de conducción existe una *zona muerta* en la que ambos transistores se encuentran en corte y por tanto no se proporciona corriente a la carga. Esta característica introduce una distorsión en la señal de salida llamada *distorsión de cruce* (*crossover*)

### 2.4.3 Etapa de salida clase AB

Con esta etapa se elimina la distorsión de cruce mencionada en la anterior etapa mediante la adición de circuitos que polarizan a los transistores de salida con unas corrientes de polarización bajas, pero suficientes para que su punto de trabajo esté en la región lineal (próxima a la región de corte).

## 2.5 Parámetros y características de amplificadores operacionales

Se detallan en este punto las características de un amplificador operacional ideal y las causas y parámetros que condicionan dicha idealidad, las cuales están presentes en todos los amplificadores operacionales reales.

### 2.5.1 Amplificador operacional ideal

Un amplificador operacional ideal se define por

- Ganancia en tensión en modo diferencial infinita (en lazo abierto)
- Ganancia en tensión en modo común cero (CMRR infinito)
- Ancho de banda infinito
- Impedancia de entrada infinita
- Impedancia de salida nula
- Corrientes de entrada nulas
- Ausencia de desviación de las características con la temperatura

### 2.5.2 Ganancia de tensión diferencial en lazo abierto y ancho de banda

El amplificador operacional amplifica la tensión diferencial entre sus dos terminales de entrada y en su idealidad se supone que la componente en modo común no afectará. Se define, bajo este supuesto, la ganancia en modo diferencial en lazo abierto como la relación entre la tensión de salida del amplificador y la tensión diferencial de entrada al mismo [11]:

$$A_d = \frac{V_o}{V_d}$$

[2.14]

Esta ganancia diferencial no es un parámetro constante sino que varía con la frecuencia de la señal diferencial de entrada y alcanzará su máximo valor a frecuencias bajas al que se denota como  $A_o$ . Tras alcanzar este valor máximo disminuirá a partir de un determinado valor de frecuencia. La ganancia en función de la frecuencia se expresa, en términos generales, como:

$$A_d(jf) = \frac{A_o}{1 + j \frac{f}{f_b}} \quad [2.15]$$

Donde  $A_o$  es la ganancia en tensión en lazo abierto y  $f_b$  es la frecuencia de corte, definida como la frecuencia a la que la ganancia de tensión disminuye 3 dB respecto a la ganancia de tensión en lazo abierto. Cabe mencionar que la ganancia en función de la frecuencia cae con una relación de -20dB/década.

Cuando  $f \gg f_b$  se reduce la ecuación anterior a:

$$A_d(jf) = \frac{A_o}{j \frac{f}{f_b}} = \frac{A_o f_b}{jf} \quad [2.16]$$

El módulo de la ganancia se hace unitario (0dB) a una determinada frecuencia que se llamará  $f_{BW}$  y que se conoce como el ancho de banda de ganancia unidad del amplificador operacional. Determina el límite de frecuencia máxima de la señal diferencial de entrada a partir de la cual el operacional no amplificará dicha señal.

$$f_{BW} = A_o f_b \quad [2.17]$$

### 2.5.3 Impedancia de entrada

Se trata de la resistencia medida entre los dos terminales de entrada del amplificador operacional. Su función es determinar la magnitud de corriente de entrada consumida por el amplificador operacional cuando se le aplica una tensión de entrada diferencial. Idealmente su valor es infinito por lo que su valor ha de ser lo más alto posible para evitar que el amplificador actúe como carga de etapas anteriores posibles.

### 2.5.4 Impedancia de salida

Se trata de la resistencia equivalente Thévenin medida entre el terminal de salida del amplificador operacional y masa o punto común. Esta resistencia reduce la tensión de salida que proporciona el amplificador cuando se conecta una resistencia de carga por lo que su valor ha de ser lo más pequeño posible.

### 2.5.5 Límites de tensión de entrada

Para un correcto funcionamiento del amplificador operacional, la tensión diferencial a la entrada del mismo no podrá ser superior a la tensión que alimenta dicho amplificador. Lo ideal, debido a la saturación de los transistores, es que sea del orden de unos cientos de mV menor que la tensión utilizada para la alimentación.

### 2.5.6 Tensión y corriente de offset de entrada

Idealmente un amplificador operacional ha de tener 0V a su salida cuando en la entrada se tienen 0V. En amplificadores reales no es así y aparecen tensiones de salida añadidas, del orden de decenas a centenas de mV, en ausencia de señal de entrada. Este efecto se debe a las corrientes de entrada y posibles asimetrías de la etapa diferencial. El modelado de este comportamiento se hace a través de los siguientes parámetros:

- Tensión off-set de entrada:  $V_{OS}$
- Corriente offset de entrada:  $I_B$
- Corriente de polarización de entrada:  $I_{OS}$

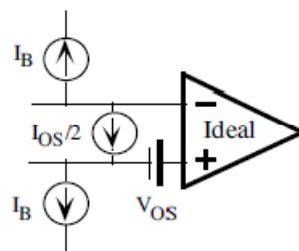


Figura 2.8: Modelo de un amplificador operacional con corrientes y tensiones de "offset"



En la figura 2.8 se muestra dicho modelado de manera gráfica.

La corriente de offset y de polarización de entrada se definen a partir de las corrientes de entrada del amplificador operacional como:

$$I_{OS} = I_P - I_N \quad [2.18]$$

$$I_B = \frac{I_P + I_N}{2} \quad [2.19]$$

### 2.5.7 Slew rate

Se trata de un parámetro que mide la capacidad del amplificador operacional para manejar señales variables en el tiempo. Se define como la máxima variación de la tensión de salida con el tiempo que puede proporcionar la etapa de salida del amplificador operacional. En la figura 2.9 se puede ver el efecto de la distorsión debida a este parámetro que se define como:

$$SR = \frac{\Delta V_o}{\Delta t} \quad (V/\mu s) \quad [2.20]$$

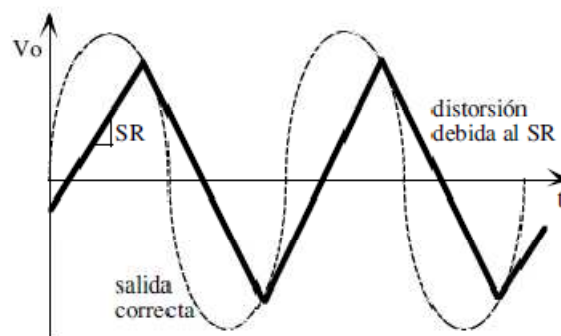


Figura 2.9: Efecto de la distorsión debida al slew rate

El slew rate limita la máxima frecuencia de operación de un amplificador operacional. Para calcular dicha frecuencia se han de resolver las desigualdades detalladas a continuación supuesta una salida del amplificador  $V_o = V_A \text{sen}(2\pi ft)$

$$f_c \leq \frac{SR}{V_A 2\pi} \rightarrow f_{MAX} = f_c \rightarrow \text{limita el ancho de banda} \quad [2.21]$$

$$f_c > \frac{SR}{V_A 2\pi} \rightarrow f_{MAX} = \frac{SR}{V_A 2\pi} \rightarrow \text{limita el SR} \quad [2.22]$$

### 2.5.8 Rechazo al modo común CMRR

En el punto 2.2.2 ya se ha hablado de este parámetro que se define como:

$$CMRR = \frac{A_c}{A_d} \quad [2.23]$$

Como ya se mencionó surge ya que, aunque idealmente el amplificador operacional debería dar una tensión proporcional a la tensión de entrada diferencial, realmente no es así y la tensión en modo común afecta en cierta medida, lo que produce una desviación que es calculada a través de este parámetro.

### 2.5.9 Relación de rechazo a variaciones de la fuente de alimentación

Un amplificador operacional presenta una o dos fuentes de alimentación para operar. Estas tensiones no son estables siempre sino que presentan fluctuaciones como resultado de una pobre regulación o filtrado y que influyen en la respuesta del amplificador operacional.

Las fluctuaciones en las tensiones de alimentación producen una alteración en el punto de trabajo de los transistores que provoca una variación en la salida que se denominará  $V_{AA}$ . Esta variación suele venir detallada en las hojas de características de

los amplificadores operacionales mediante la razón de rechazo de la fuente de alimentación (*Power Supply Rejection Ratio*, *PSRR*) que se define como:

$$PSRR = \frac{\Delta V_{AA}}{\Delta V_{alimentación}} \left( \mu V/V \text{ o } dB \right)$$

[2.24]

### 2.5.10 Respuesta en frecuencia

En el punto 2.5.2 se habló de cómo dependía la ganancia con la variación de la frecuencia pero cabe mencionar en este punto que la función de transferencia que corresponde a la ganancia diferencial de un amplificador operacional es una función de tipo paso bajo. El diseño de los amplificadores se hará de tal manera que:

- Se garantice un ancho de banda suficiente en el amplificador.
- Se garantice la estabilidad del amplificador cuando se encuentra realimentado.

La representación gráfica de la ganancia en función de la frecuencia se hará con el llamado diagrama de Bode cuyas características principales son:

- Es un diagrama asintótico.
- Presenta la respuesta en unidades de magnitud y fase con la variación de la frecuencia.
- El diagrama de magnitud de Bode representa el módulo de la ganancia en decibelios en función de la frecuencia en escala logarítmica.
- El diagrama de fase de Bode representa la fase de la función de transferencia en función de la frecuencia (o frecuencia angular) en escala logarítmica.
- Escala vertical: Ganancia (dB) =  $20 \log \left| V_{out}/V_{in} \right|$
- Escala horizontal:  $x = \log f$

En la figura 2.10 se muestra un diagrama de Bode correspondiente a un filtro paso bajo en el que se puede observar entre otras cosas como por cada polo se produce una caída de -20 dB/década y el punto de frecuencia de corte.

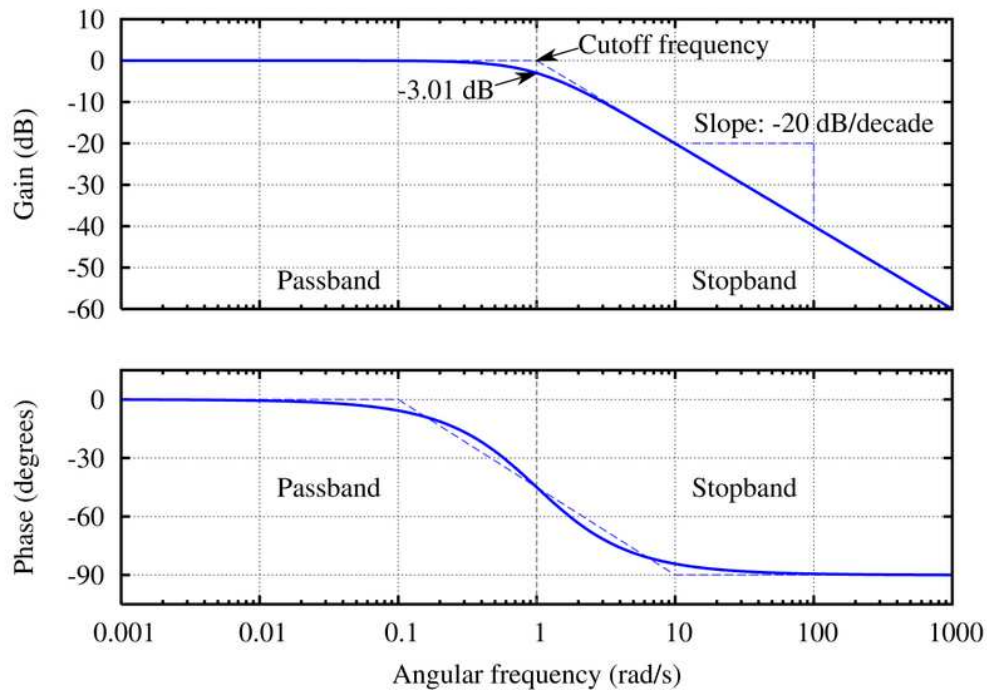


Figura 2.10: Diagrama de Bode de un filtro paso bajo

## 2.5.11 Estabilidad de amplificadores operacionales

### 2.5.11.1 Introducción

En el diseño de amplificadores operacionales, una estrategia en el diseño de sistemas es la realimentación negativa que consiste en restar de la entrada una magnitud proporcional a la salida, usando la diferencia como entrada efectiva. [10]

En amplificadores la salida debe de ser proporcional a la entrada → la entrada se compara con una versión atenuada de la salida. Dicha realimentación produce ciertas ventajas e inconvenientes que se pasan a detallar.

Ventajas de la realimentación:

- Disminuye la sensibilidad a variaciones de parámetros
- Aumenta el ancho de banda
- Reduce la distorsión
- Mejora impedancias de entrada y salida

Desventajas de la realimentación:

- Reduce la ganancia
- Puede hacer inestable el amplificador → el amplificador puede oscilar.

### 2.5.11.2 Motivos de oscilación de un amplificador

Se presenta en la figura 2.11 el esquema general de un amplificador realimentado:

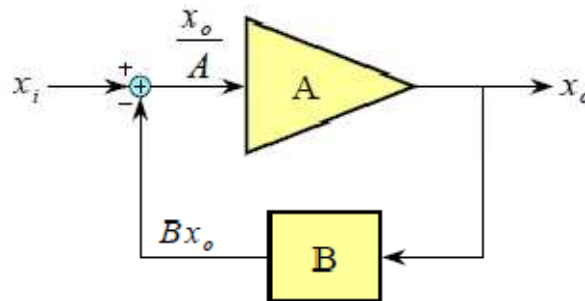


Figura 2.11: Esquema general de un amplificador realimentado

En este esquema se tienen que:

$$A_f = \frac{x_o}{x_i} = \frac{A}{1 + AB}$$

[2.25]

Donde:

$A$  = ganancia en lazo abierto

$A_f$  = Ganancia en lazo cerrado

$AB$  = Ganancia de lazo

El comportamiento de los amplificadores depende de la frecuencia como ya se ha visto en anteriores puntos e introducen desfases variables entre entrada y salida. Debido a la diferencia en fase en  $A$  y  $B$  se puede dar el caso de que una componente de la señal realimentada a una frecuencia determinada,  $f_o$ , se sume en lugar de

restarse a la entrada y si esta componente es lo suficientemente elevada el amplificador oscilará a esa frecuencia.

La condición de estabilidad es que exista una frecuencia  $f_o$  que cumpla:

$$\arg(AB) = 180^\circ \quad y \quad |AB| \geq 1$$

[2.26]

### 2.5.11.3 Análisis de estabilidad

Para el estudio de la estabilidad, la herramienta quizás más cómoda que hay son los diagramas de Bode, ya presentados anteriormente, ya que muestran si un amplificador es estable o no. Además, en caso de que sea estable cuantifican en qué medida lo es y en caso de no ser estable proporcionan la información necesaria para estabilizarlo.

Para saber si es estable o no se ha de examinar  $|AB|$  a la frecuencia  $f_o$  y:

Si  $|AB| < 1$  ( $20 \log|AB| < 0\text{dB}$ )  $\rightarrow$  Estable

[2.27]

Si  $|AB| \geq 1$  ( $20 \log|AB| \geq 0\text{dB}$ )  $\rightarrow$  Inestable

[2.28]

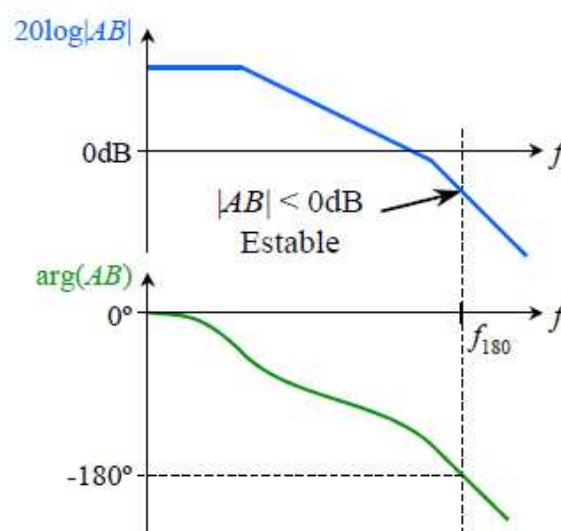


Figura 2.12: Análisis de estabilidad de un amplificador

En la figura 2.12 se muestra un ejemplo de un amplificador operacional en el cual se muestra su diagrama de Bode y en el cual se indica dicha condición de estabilidad.

En un amplificador operacional existen dos parámetros que se encargan de indicar la estabilidad de un amplificador y en qué medida lo es: el margen de ganancia (MG) y el margen de fase (MF). Se definen de la siguiente forma:

- Margen de ganancia:

$$MG = -20 \log |AB|_{f_{180}} \rightarrow MG > 0 \rightarrow \text{Amplificador estable}$$

[2.29]

$MG$  elevado  $\rightarrow$  Estabilidad alta

- Margen de fase:

$$MF = 180^\circ + \arg(AB)_{f_u}$$

[2.30]

$MF$  elevado  $\rightarrow$  Estabilidad alta

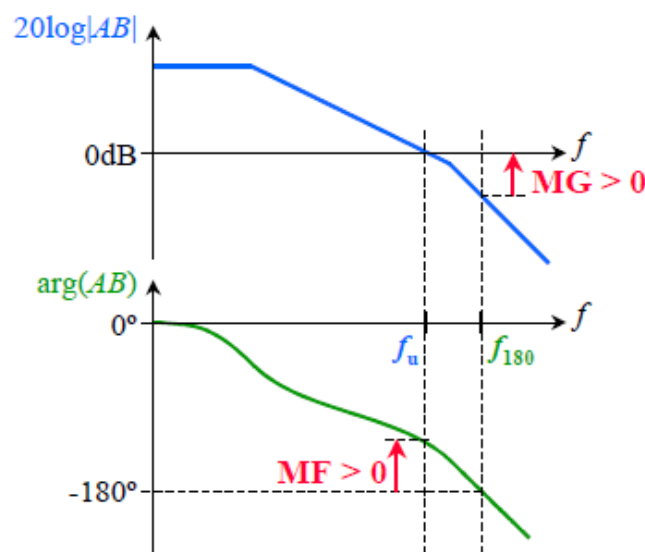


Figura 2.13: Estudio del grado de estabilidad

La figura 2.13 muestra el diagrama de Bode de un amplificador operacional en el cual se muestra el grado de estabilidad conforme a los parámetros indicados anteriormente. En la práctica conviene tener un margen de ganancia mayor de 10dB y un margen de fase superior a 50° para tener una buena estabilidad.

#### 2.5.11.4 Compensación en frecuencia

La compensación en frecuencia es el proceso por el cual se trata de estabilizar un amplificador realimentado negativamente inestable. Se comentarán, a continuación, los métodos más conocidos.

##### Compensación por polo dominante

Consiste en añadir un polo muy a la izquierda de la función de transferencia:

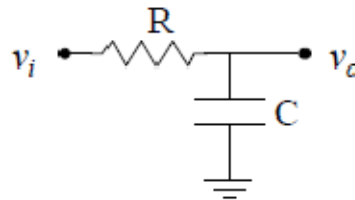


Figura 2.14: Adición de polo en polo dominante

$$\frac{v_o}{v_i} = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} = \frac{1}{1 + j\omega RC} = \frac{1}{1 + j\omega/\omega_p} \quad \rightarrow \quad \text{Polo en } \omega_p = 1/RC$$

[2.31]

Si por ejemplo, se quiere compensar para  $MF = 45^\circ$  a ganancia unidad, se tiene el ejemplo reflejado en la figura 2.15:

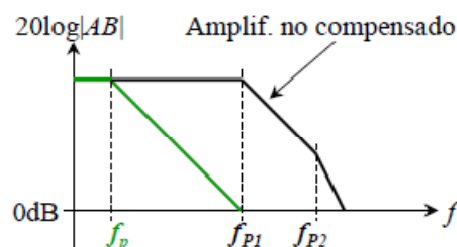


Figura 2.15: Ejemplo de compensación polo dominante



A la frecuencia  $\omega_p$  el desfase introducido por un polo es de  $45^\circ$ . Se traza una línea de 6dB/octava desde el punto  $f_{p1}$  (0dB). El corte con la curva de ganancia definirá el nuevo polo  $f_p$ .

### Compensación por polo zero

En este método de compensación se añade un polo y un cero de forma que el cero anula el polo dominante del amplificador no compensado. El polo que se añade define el nuevo polo dominante.

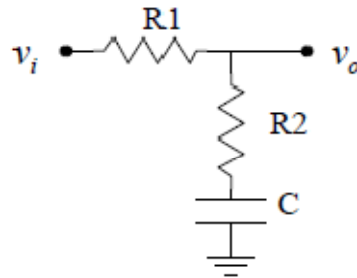


Figura 2.16: Adición de polo y cero en compensación por polo zero

$$\frac{v_o}{v_i} = \frac{1 + j\omega/\omega_c}{1 + j\omega/\omega_p} \quad \omega_p < \omega_c$$

[2.32]

Se consigue de esta forma un mayor ancho de banda. En la figura 2.17 se muestra un ejemplo de este tipo de compensación polo zero.

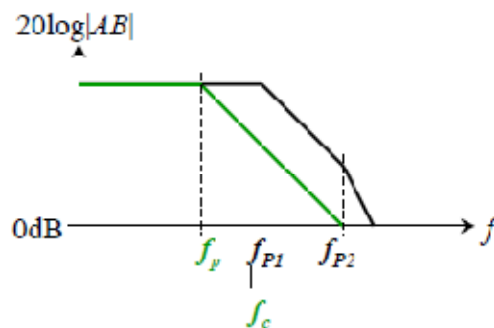


Figura 2.17: Ejemplo de compensación polo zero

### Compensación de Miller

Consiste en conectar un pequeño condensador entre los terminales de entrada y salida de la etapa de ganancia del amplificador operacional. Este condensador constituirá una red de realimentación B que será dependiente de la frecuencia. Para entender su funcionamiento se pasará a explicar el teorema de Miller.

En amplificadores de una sola etapa cuya ganancia está desfasada  $180^\circ$  ( $A_v$  es negativa) la capacidad de realimentación situada entre la entrada y la salida influye de manera significativa sobre la frecuencia de corte superior y su ancho de banda, a este fenómeno se le conoce como *efecto Miller*. En la figura 2.18 se muestra de manera gráfica la explicación de este teorema sobre la capacidad  $C_f$ :

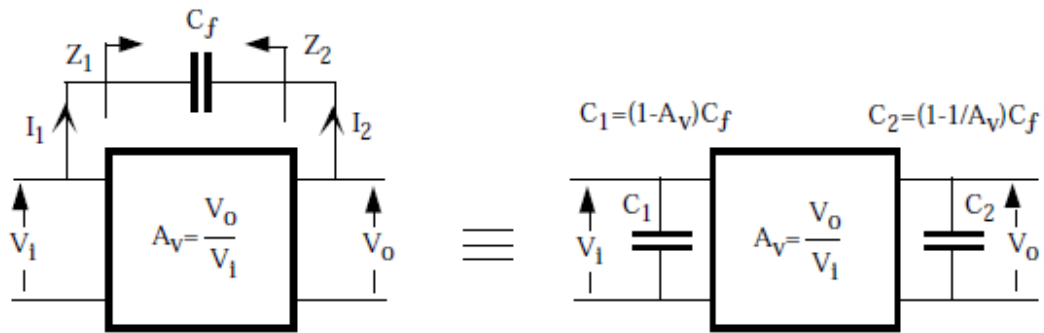


Figura 2.18: Teorema de Miller aplicado a la capacidad  $C_f$

La capacidad de realimentación  $C_f$  se descompone en dos capacidades  $C_1$  y  $C_2$  conectadas a la entrada y la salida del amplificador respectivamente quedando el equivalente mostrado a la derecha de la figura 2.18.

A la capacidad  $C_1$  se le denomina capacidad de entrada de Miller e indica que, en un amplificador inversor, la capacidad de entrada se incrementa en un término que depende de la ganancia del amplificador  $A_v$  y de la capacidad  $C_f$

Si suponemos el circuito equivalente de un amplificador con una resistencia de entrada  $R_i$  puesta en paralelo con  $C_1$  y una resistencia de salida  $R_o$  puesta en paralelo con  $C_2$ , se puede probar que se produce un efecto conocido como separación de polos en la cual los nuevos polos tendrán la siguiente expresión:

$$w_{p1} \approx \frac{1}{g_m C_f R_i R_o}$$

[2.33]

$$w_{p2} \approx \frac{g_m C_f}{C_1 C_2 + C_f (C_1 + C_2)}$$

[2.34]

Se puede ver que conforme se incrementa  $C_f$  se reduce  $w_{p1}$  y se incrementa  $w_{p2}$  → los polos se separan. El incremento de  $w_{p2}$  moverá la frecuencia del polo para un margen de fase de  $45^\circ$  hacia la derecha, consiguiendo así un aumento del ancho de banda del amplificador.

## CAPÍTULO 3

### Modelos en pequeña señal de amplificadores con transistores

Para estudiar los amplificadores es necesario un estudio previo en continua para determinar la polarización de los transistores y tras este paso, se requiere realizar el estudio de cálculos de amplificación e impedancias utilizando, para ello, los modelos equivalentes en pequeña señal de los mismos para establecer un circuito equivalente que permita facilitar los cálculos al establecer un modelo lineal. En este capítulo se estudiarán los parámetros necesarios para formalizar dichos circuitos en pequeña señal.

#### 3.1 Teoría de cuadripolos

Al establecer un modelo lineal de cuadripolo, se podrá definir a través de dos voltajes ( $V_1, V_2$ ) y dos corrientes ( $I_1, I_2$ ).

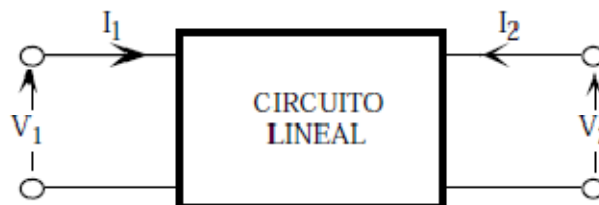


Figura 3.1: Modelo equivalente de cuadripolo

En función de las variables del circuito que se seleccionen como independientes, el circuito se podrá modelar mediante cuatro tipos distintos de parámetros:  $Z, Y, H$  y  $G$ .

Para caracterizar transistores CMOS, los parámetros que mejor modelan su comportamiento son los parámetros H. Estos parámetros relacionan las tensiones y corrientes del modelo equivalente de la siguiente forma:

$$V_1 = h_i I_1 + h_r V_2 \quad [3.1]$$

$$I_2 = h_f I_1 + h_o V_2 \quad [3.2]$$

Los parámetros H y su modelo circuital equivalente se definen como:

$$h_i = \frac{V_1}{I_1} (V_2 = 0) \rightarrow \text{Resistencia de entrada con salida en cc} \quad [3.3]$$

$$h_r = \frac{V_1}{V_2} (I_1 = 0) \rightarrow \text{Ganancia inversa de tensión con entrada en ca} \quad [3.4]$$

$$h_f = \frac{I_2}{I_1} (V_2 = 0) \rightarrow \text{Ganancia de corriente con salida en cc} \quad [3.5]$$

$$h_o = \frac{I_2}{V_2} (I_1 = 0) \rightarrow \text{Conductancia de salida con entrada en ca} \quad [3.6]$$

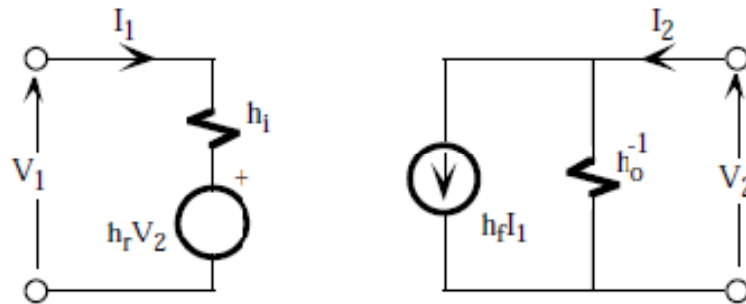


Figura 3.2: Modelo circuital equivalente con parámetros H

En la figura 3.2 se muestra el modelo circuital equivalente realizado con los parámetros H detallados anteriormente.

### 3.2 Análisis de un circuito empleando parámetros H

Para el análisis de un circuito electrónico se hará uso del siguiente esquema:

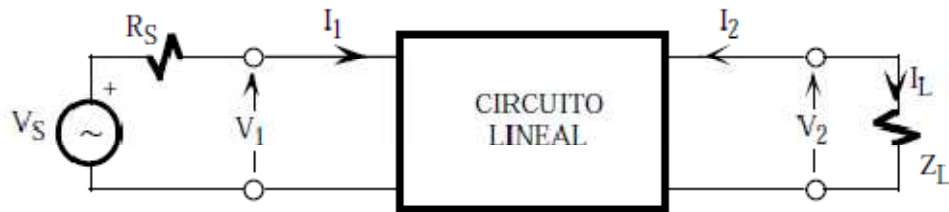


Figura 3.3: Estructura para análisis de circuito lineal

Dicho esquema, de la figura 3.3, se excita con una fuente de tensión  $V_S$  y resistencia interna  $R_S$  y a la salida se añade una carga  $Z_L$ . Este modelo se puede implementar con parámetros H en su modelo equivalente mostrado en la figura 3.4.

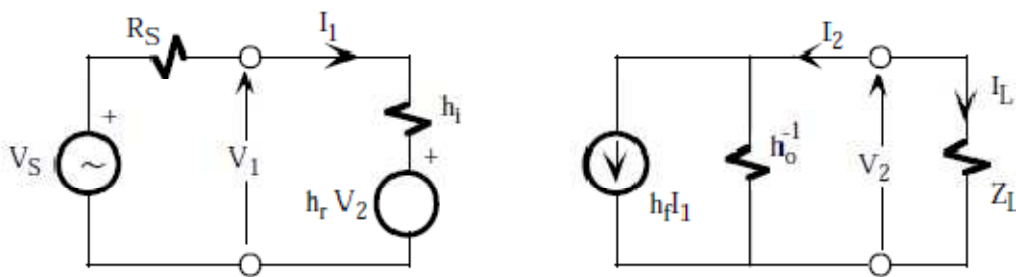


Figura 3.4: Equivalente en parámetros H del modelo de la figura 3.3

Se definen en el análisis los siguientes parámetros:

- Ganancia de corriente: es la relación entre la intensidad de salida e intensidad de entrada al circuito. Despejando las ecuaciones que se pueden extraer del circuito de la figura 3.4 se tiene que:

$$A_I = \frac{I_L}{I_1} = -\frac{I_2}{I_1} = -\frac{h_f}{1 + h_o Z_L} \quad [3.7]$$

- Impedancia de entrada: es la relación entre la tensión de entrada y la corriente de entrada:

$$Z_i = \frac{V_1}{I_1} = h_i + h_r A_I Z_L = h_i - \frac{h_f h_r}{\frac{1}{Z_L} + h_o} \quad [3.8]$$

- Ganancia de tensión: es la relación entre la tensión de salida y la tensión de entrada. Se expresa en función de los dos parámetros anteriores:

$$A_V = \frac{V_2}{V_1} = A_I \frac{Z_L}{Z_i} \quad [3.9]$$

- Impedancia de salida: es la impedancia vista a través del nudo de salida. Se define como la relación entre la tensión de salida y la corriente de salida supuesto anulado el generador de señal de entrada y en ausencia de carga ( $Z_L = \infty$ ):

$$Z_o = - \frac{1}{h_o - \frac{h_f h_r}{R_S + h_i}} \quad [3.10]$$

Con estos parámetros se pueden definir los modelos equivalentes en tensión y en intensidad que utilizan los modelos de Thevenin en la salida y el de Norton respectivamente. Ambos modelos son equivalentes y se representan en la figuras 3.5 y 3.6:

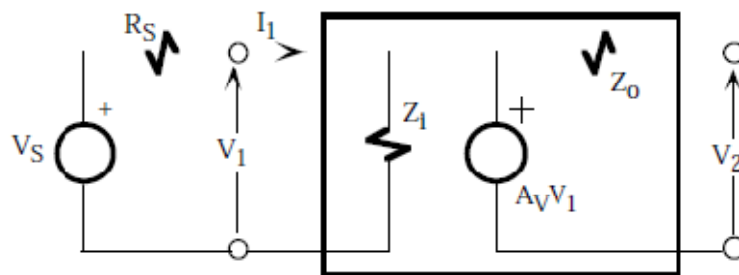


Figura 3.5: Modelo equivalente en tensión

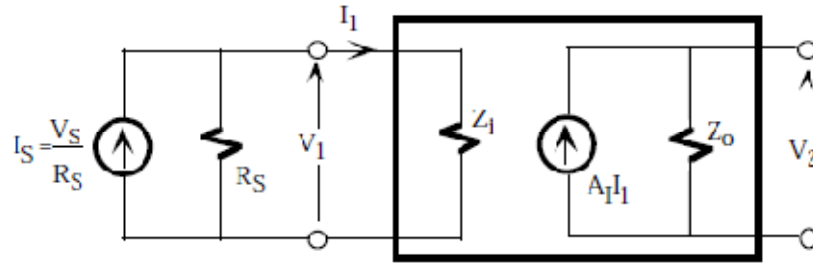


Figura 3.6: Modelo equivalente en intensidad

### 3.3 Modelo $\pi$ o de Giacoletto

El anterior modelo visto, se trata de un modelo empírico que se obtiene a través de redes en cuadripolo. El transistor se trata como una “caja negra” y se modela a través de cuatro parámetros obtenidos experimentalmente al aplicar componentes de pequeña señal y analizando su comportamiento.

El modelo  $\pi$  o de Giacoletto es un modelo analítico relacionado con la física del funcionamiento de los transistores y se obtiene a partir de sus ecuaciones analíticas. Este es el modelo que utiliza *SPICE* y que nos será objeto de estudio en futuros capítulos, de este Proyecto Fin de Carrera, a la hora de realizar el modelo en pequeña señal del amplificador operacional diseñado.

En la figura 3.7 se muestra la representación de este modelo para un transistor bipolar.

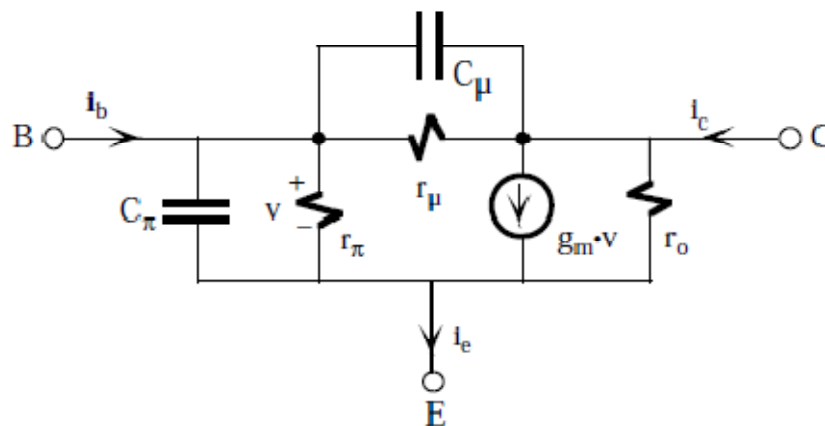


Figura 3.7: El modelo  $\pi$  o de Giacoletto de un transistor NPN



Los condensadores  $C_\mu$  y  $C_\pi$  se encargan de limitar la frecuencia máxima de funcionamiento del transistor y por tanto a frecuencias bajas y medias se desprecian. Sólo afectan a altas frecuencias.

La relación de los parámetros que aparecen en la figura 3.7 y los parámetros H es la siguiente:

$$g_m = \frac{I_{CQ}}{V_T}$$

$$r_\pi = \frac{h_{fe}}{g_m} = h_{ie}$$

$$r_o = h_{oe}^{-1}$$

$$r_\mu = h_{fe} r_o$$

$$w_T = \frac{g_m}{C_\pi + C_\mu}$$

[3.11]

### 3.4 Modelo en pequeña señal para transistores FET

De manera análoga a los transistores bipolares se puede obtener el circuito equivalente de transistores FET. Estos transistores son dispositivos controlados por tensión por lo que el modelo más adecuado es el de parámetros Y, ya que relacionan corrientes de salida con tensiones de entrada. En la figura 3.8 se muestra el modelo equivalente en pequeña señal de un transistor FET. En ella se presentan dos parámetros:  $g_m$  o factor de admitancia y  $r_d$  o resistencia de drenador cuyas definiciones se presentan a continuación.

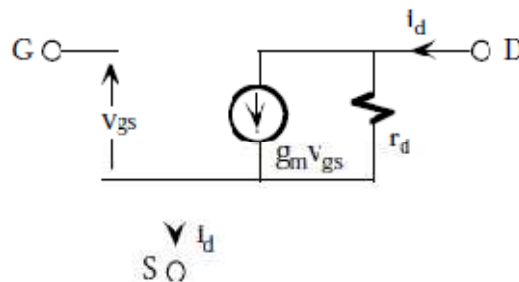


Figura 3.8: Modelo equivalente en pequeña señal de un transistor FET

Factor de admitancia  $g_m$ :

$$g_m = \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_{V_{DSQ}} \cong \left. \frac{I_{D2} - I_{DS1}}{V_{GS1} - V_{GS2}} \right|_{V_{DSQ}} \approx \left. \frac{i_d}{v_{gs}} \right|_{V_{DSQ}} \quad [3.12]$$

Para un transistor MOSFET,  $g_m$  se puede obtener a partir de la ecuación analítica del transistor dentro de la región de saturación que relaciona  $I_D$  con  $V_{GS}$  de la siguiente forma:

$$I_D = \frac{k}{2} \frac{W}{L} (V_{GS} - V_T)^2 \quad [3.13]$$

$$g_m = \sqrt{2 \cdot I_{DQ} \cdot K \cdot \frac{W}{L}} \quad [3.14]$$

Donde:

$I_{DQ}$ : corriente de drenador en el punto de polarización del transistor.

$W$ : ancho del canal.

$L$ : longitud del canal.

$K$ : es una constante propia de la tecnología usada.

Resistencia de salida o drenador  $r_d$ :

$$r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GSQ}} \cong \left. \frac{V_{D2} - V_{DS1}}{I_{D1} - I_{D2}} \right|_{V_{GSQ}} \approx \left. \frac{v_{ds}}{i_d} \right|_{V_{GSQ}} \quad [3.15]$$

Factor de amplificación  $\mu$ :

$$\mu = \frac{\Delta V_{DS}}{\Delta V_{GS}} = \frac{\Delta I_D}{\Delta V_{GS}} \frac{\Delta V_{DS}}{\Delta I_D} = g_m r_d \quad [3.16]$$

La representación gráfica de estos parámetros muestran la variación de los mismos en función de  $I_D$  y se muestran en la figura 3.9.

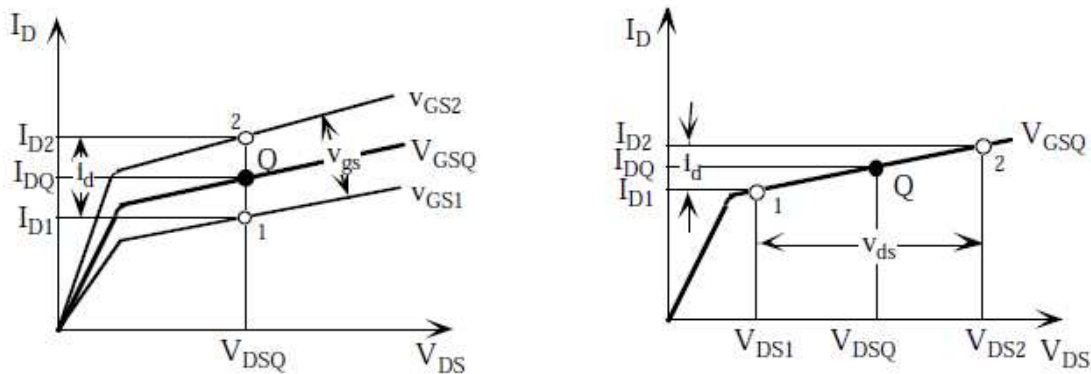


Figura 3.9: Definición gráfica de  $g_m$  (a la izquierda) y  $r_d$  (a la derecha)

### 3.5 Amplificadores multietapa

Los amplificadores multietapa son aquellos amplificadores que constan de varios amplificadores básicos puestos en cascada. Su análisis se reduce a analizar un conjunto de etapas básicas a partir de sus modelos equivalentes de tensión o corriente.

El acoplo entre etapas básicas puede ser realizado de dos formas distintas: directamente o acoplo DC y a través de un condensador. La primera de las formas exige estudiar conjuntamente la polarización de cada una de las etapas lo que complica su análisis en continua, sin embargo el amplificador multietapa carece de frecuencia de corte inferior. El acoplo a través de un condensador aísla en DC las etapas básicas pero introduce una frecuencia de corte inferior. Este último acoplo sólo es utilizado en amplificadores realizados con componentes discretos.

Una de las principales consideraciones a tener en cuenta en amplificadores multietapa es el efecto del acoplo de impedancias entre los amplificadores básicos. Se muestra a continuación el ejemplo de la figura 3.10.

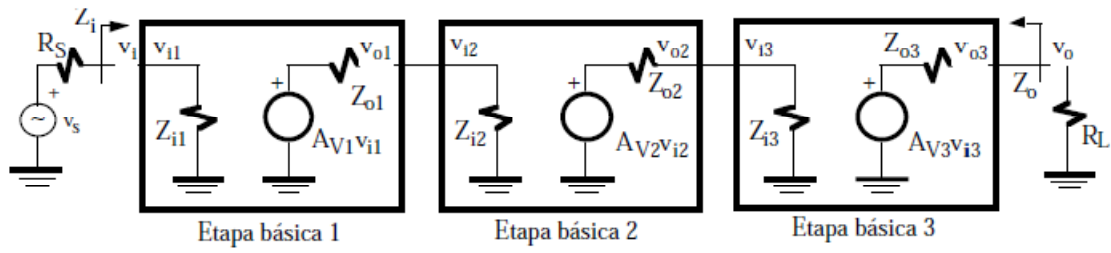


Figura 3.10: Amplificador multietapa utilizando modelos equivalentes en tensión

En la figura 3.10 se pueden ver tres etapas diferenciadas con sus modelos equivalentes en tensión añadiendo un circuito de entrada y una carga a la salida.

Se tienen las siguientes identidades:

$$Z_i = Z_{i1}$$

$$Z_o = Z_{o3}$$

$$v_i = v_{i1} \quad v_{o1} = v_{i2} \quad v_{o2} = v_{i3} \quad v_{o3} = v_o$$

[3.17]

La expresión de ganancia del amplificador tiene la siguiente expresión:

$$A_V = \frac{v_o}{v_i} = \frac{v_{o1}}{v_i} \frac{v_{o2}}{v_{i2}} \frac{v_o}{v_{i3}} = \frac{Z_{i2}}{Z_{i2} + Z_{o1}} A_{V1} \frac{Z_{i3}}{Z_{i3} + Z_{o2}} A_{V2} \frac{R_L}{R_L + Z_{o3}} A_{V3}$$

[3.18]

Cada uno de estos términos de la expresión indica la adaptación de impedancias correspondiente a una etapa y su etapa consecutiva. Esta adaptación ha de ser elevada para tener un buen amplificador, así como también han de ser elevados los términos de ganancia de cada una de las etapas ( $A_{V1}$ ,  $A_{V2}$  y  $A_{V3}$ ). Por todo esto es condición necesaria que:

$$Z_{i2} \gg Z_{o1} \quad Z_{i3} \gg Z_{o2} \quad R_L \gg Z_{o3}$$

Si se refiere la ganancia a  $V_s$  se tendría la siguiente expresión:

$$A_{V_s} = \frac{v_o}{v_s} = \frac{Z_{i1}}{Z_{i1} + R_s} A_V \quad [3.19]$$

De manera análoga al análisis realizado, se podría hacer con un modelo equivalente del amplificador multietapa basado en corrientes como el mostrado en la figura 3.11.

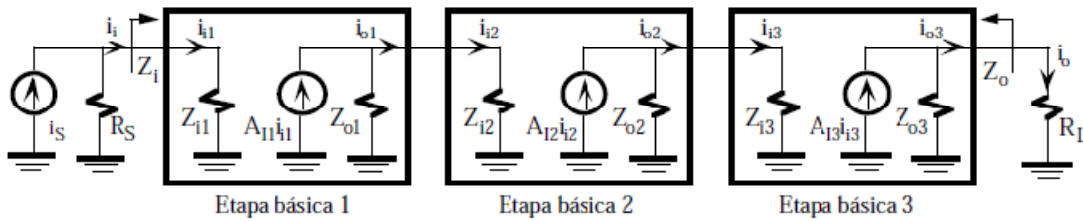


Figura 3.11: Amplificador multietapa utilizando modelos equivalentes en corriente

De esta forma:

$$A_I = \frac{i_o}{i_i} = \frac{i_{o1}}{i_i} \frac{i_{o2}}{i_{i2}} \frac{i_o}{i_{i3}} = \frac{Z_{o1}}{Z_{i2} + Z_{o1}} A_{I1} \frac{Z_{o2}}{Z_{i3} + Z_{o2}} A_{I2} \frac{Z_{o3}}{R_L + Z_{o3}} A_{I3} \quad [3.20]$$

$$A_{I_s} = \frac{i_o}{i_s} = \frac{R_s}{Z_{i1} + R_s} A_I \quad [3.21]$$

## CAPÍTULO 4

### Modelos a nivel de sistema del amplificador operacional

En este capítulo se realizará el modelo a nivel de sistema del amplificador operacional a diseñar en este Proyecto Fin de Carrera. Dicho diseño consiste en la construcción de un “modelo” caracterizado mediante ecuaciones matemáticas, gráficos, tablas, etc., cuya respuesta sea lo más parecida posible al modelo de un circuito electrónico real según las especificaciones de diseño impuestas, de forma que permita predecir su comportamiento de manera sencilla y así poder comprobar el correcto funcionamiento del sistema en general.

Para realizar este diseño existen actualmente diversas herramientas como pueden ser *Matlab*, para todo tipo de sistemas, o las herramientas *CAD* (Computer Aided Design), más orientadas al diseño de circuitos electrónicos y válidas tanto para diseño a nivel de sistema como a nivel de transistor. Dentro de estas últimas herramientas se engloban las basadas en el simulador *SPICE* (Simulation Program With Integrated Circuits Emphasis) desarrollado por la universidad de Berkeley a principios de los 70, como es el caso de *OrCAD* de la compañía *CADENCE* Design Systems Inc., las más utilizadas para el desarrollo de circuitos con componentes discretos.

Para el caso del diseño de circuitos electrónicos *CADENCE* ofrece paquetes informáticos que incluyen diversas herramientas como *Composer-Schematic* (editor de esquemáticos), *Spectre* (simulador de circuitos analógicos), etc., que permiten el diseño de chips desde su concepción hasta la etapa previa a la fabricación. Estas herramientas son las que se usarán a lo largo de este Proyecto.

## 4.1 Especificaciones

Tal y como ya se mencionó en el alcance de los objetivos de este proyecto, el amplificador operacional diseñado será usado dentro de un modulador *sigma-delta*. Dicho amplificador se va a pasar a diseñar mediante modelos a nivel de sistema, en este capítulo, y a nivel de transistor en el capítulo siguiente. Para las especificaciones de los parámetros de simulación se tendrá en cuenta las relaciones presentes en un modulador *sigma-delta* y que en este punto se detallan. Como suposición inicial vamos a pensar que se quiere realizar un conversor A/D con un ancho de banda de 10MHz y once bits de resolución.

Partiendo de estas premisas vamos a suponer que se realiza un modulador *sigma-delta* de segundo orden. Para este caso se tiene la siguiente expresión para la relación señal a ruido máxima que podemos tener:

$$SNR_{max} = 6,02N + 1,76 - 12,9 + 50 \log OSR \quad [4.1]$$

Siendo:

- $N$ : número de bits del cuantificador (comparador) del *sigma-delta*, lo supondremos igual a 3
- $OSR$ : factor de sobremuestreo.

Para poder obtener el valor de  $OSR$  se tiene la siguiente expresión que relaciona la tasa máxima de muestreo o ancho de banda del conversor A/D con la frecuencia de muestreo:

$$f_0 = BW = \frac{f_s}{2 * OSR} \quad [4.2]$$

Y para relacionar el número efectivo de bits del modulador que se requiere por especificaciones dadas ( $ENOB = 11$ ) con la  $SNR$  máxima medida que se puede tener, la expresión de la que se dispone es la siguiente:

$$ENOB = \frac{SNR_{max} - 1,76}{6,02} \quad [4.3]$$

Por lo tanto, con estos datos y los requeridos para el diseño del sistema, vamos a ver qué valor de  $OSR$  hace posible que el diseño se realice con un modulador *sigma-*

$\delta$  de segundo orden como el especificado y lo primero a determinar es el valor de  $SNR_{max}$  que se tiene para la resolución de bits efectiva mencionada (11 bits):

$$SNR_{max} = 6,02ENOB + 1,76 \cong 68 \text{ dB} \quad [4.4]$$

Haciendo uso de la ecuación 4.1 y para  $N=3$  vamos probando para distintos valores de OSR y obteniendo el valor de la  $SNR_{max}$  que tendría el sistema hasta que lleguemos a un nivel suficiente:

- OSR = 12  
 $\rightarrow SNR_{max} = 18,06 + 1,76 - 12,9 + 50\log 12 = 60,88 \text{ dB}$
  - OSR = 16  
 $\rightarrow SNR_{max} = 18,06 + 1,76 - 12,9 + 50\log 16 = 67,12 \text{ dB}$
  - OSR = 20  
 $\rightarrow SNR_{max} = 18,06 + 1,76 - 12,9 + 50\log 20 = 71,97 \text{ dB}$
- [4.5]

Para un valor de OSR=20 vemos que se tiene un valor de  $SNR_{max}$  de 71,97 dB. Este valor es superior a los 68 dB requeridos para tener una resolución efectiva de 11 bits pero esta diferencia de unos 4 dB no será ningún problema, de hecho es necesaria si se quiere que el conversor A/D esté limitado por el ruido térmico y no por el ruido de cuantificación, ambos presentes en el mismo.

Con este valor y para el ancho de banda requerido de 10MHz se obtiene el valor de frecuencia de muestreo del modulador *sigma-delta*:

$$f_s = 2 * BW * OSR = 2 * 10\text{MHz} * 20 = 400\text{MHz} \quad [4.6]$$

El integrador del modulador *sigma-delta*, presentará una ganancia que será aproximadamente  $f_s$  y que presentará la siguiente constante de tiempo:

$$f_c = \frac{1}{2\pi RC} \approx f_s \rightarrow RC \approx 2,51e9 \rightarrow R = 1K\Omega ; C = 400\text{fF} \quad [4.7]$$

El producto ganancia por ancho de banda se podrá obtener con la siguiente aproximación obtenida de simulaciones del sistema:



$$Gx BW \approx 1,5f_s$$

[4.8]

Y, por tanto:

$$Gx BW \approx 600\text{MHz}$$

[4.9]

Estos son algunos de los parámetros ha de tener el amplificador que se diseña. Además se tendrán en cuenta las siguientes especificaciones:

- El amplificador operacional se fabricará en tecnología CMOS de 65nm.
- El amplificador operacional será completamente diferencial tanto a la entrada como a la salida.
- El amplificador se alimentará entre 0 y 1 V
- El voltaje en modo común, tanto a la entrada como a la salida, debe ser 0,5V
- La ganancia en continua estará en torno a 40-50 dB (sacado de simulaciones a nivel de sistema).
- El amplificador presentará un margen de fase de al menos 70°

Los valores del resto de parámetros característicos de un amplificador operacional no se especifica de manera concreta por no ser determinantes para el funcionamiento del sistema, sin embargo deben seguirse respecto a ellos los criterios generales que debe cumplir todo amplificador de tensión, esto es que la resistencia de entrada ( $R_i$ ), el slew-rate, la relación de rechazo al modo común (CMRR) y la relación de rechazo a variaciones de la fuente de alimentación (PSRR) deben presentar valores lo más altos posible y la resistencia de salida ( $R_o$ ), la capacitancia de entrada ( $C_i$ ), las tensiones y corrientes de offset a la entrada ( $V_{OS}$  y  $I_{OS}$ ) y la corriente de polarización a la entrada ( $I_B$ ), deben adoptar valores lo más bajos posibles

## 4.2 Verilog-A

Verilog-A es un lenguaje de alto nivel que usa módulos para describir la estructura y comportamiento de un sistema analógico y sus componentes. [6]

En este capítulo se integrarán diversos modelos de amplificador operacional para caracterizarlos después en un simulador de *SPICE* (*Spectre*). Los modelos realizados simularán, de manera fiable, el comportamiento de un amplificador operacional. Esto nos dará la gran ventaja de poder realizar simulaciones de manera más rápida y sencilla que si tuviéramos un modelo realizado con transistores como se

verá en el próximo capítulo de este documento. Además, otra ventaja presente de cara a este tipo de simulaciones, será la posibilidad de combinar los módulos analógicos, realizados con este lenguaje, con módulos digitales (en vhdl) para la realización de bancos de prueba de carácter mixto.

Para describir un sistema se debe especificar tanto la estructura del sistema como el comportamiento de sus componentes. En Verilog-A con simulador *Spectre* se definirá la estructura a diferentes niveles. En el nivel más alto se define la estructura del sistema (*netlist*). Los niveles de debajo serán más específicos y definen la estructura interna de los módulos mediante las relaciones de interconexión entre diversos submódulos.

Para especificar el comportamiento de módulos individuales, se definen relaciones matemáticas entre las señales de entrada y de salida.

Tras tener la estructura y el comportamiento del sistema definidos, el simulador realiza una serie de ecuaciones descriptivas de dichas *netlist* y módulos. El simulador, tras ello, resuelve dichas ecuaciones generadas para obtener la respuesta final del sistema. En la figura 4.1 se muestra el flujo de funcionamiento del simulador:

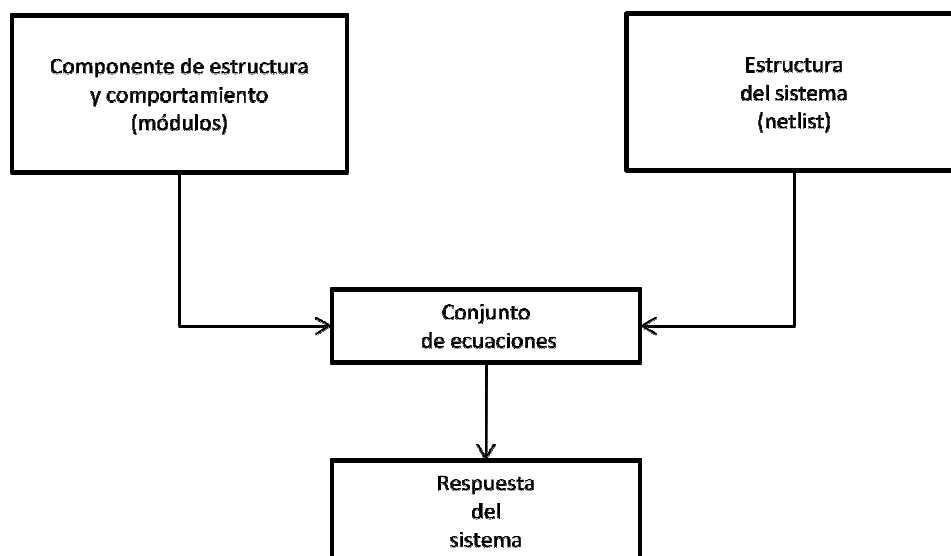


Figura 4.1: Flujo de funcionamiento del simulador *Spectre*

El simulador hace uso de las leyes de Kirchoff para desarrollar el conjunto de ecuaciones descriptivas y tras ello resuelve el sistema mediante el método de Newton-Raphson.

### 4.3 Modelos en verilog-A del amplificador operacional

En este punto del capítulo se pasarán a detallar los distintos modelos diseñados, a nivel de sistema, para describir el comportamiento del amplificador operacional que nos ocupa y cuyas especificaciones se indicaron en el punto 4.1.

Los dos primeros modelos presentados basarán su principal diferencia en los parámetros de entrada que se les han de pasar y serán modelos más sencillos que el tercero de los diseñados. Este último modelo presentará una mayor complejidad al involucrar una mayor cantidad de parámetros que afectan a la respuesta del amplificador.

Tal y como ya se ha comentado, el diseño se basará principalmente en unos parámetros de ancho de banda y ganancia, siendo de menor relevancia el resto de los mismos indicados en cada uno de los modelos. Todos los modelos están modelados mediante el lenguaje verilog-A anteriormente ya descrito y cuyos códigos se encuentran en los anexos al final de este documento de la siguiente forma:

- Modelo de amplificador I → Anexo I
- Modelo de amplificador II → Anexo II
- Modelo de amplificador III → Anexo III

Una vez detallados cada uno de los modelos se realizará su validación mediante diversas simulaciones. Dichas simulaciones serán las siguientes:

- Análisis en AC: se mostrará la respuesta en frecuencia en un diagrama de Bode para comprobar los requerimientos de ganancia, ancho de banda y margen de fase.
- Análisis transitorio utilizando el amplificador en configuración de buffer: en este caso se realizará una simulación en régimen transitorio mostrando su respuesta para distintas frecuencias de la señal de entrada (10 MHz y 300 MHz), que en este caso será una senoide de amplitud igual a 50 mV de pico sobre un modo común de 0,5 V. Tras este paso se realizará la FFT de la señal de salida para una frecuencia de 10 MHz y se analizará el valor del parámetro THD (Total Harmonic Distorsión), que se define como la diferencia en amplitud entre el tono principal y el segundo tono de la FFT. Se realizará con ventana de Hamming y 2048 puntos. De esta forma se puede hacer un análisis de la distorsión que presenta el amplificador operacional diseñado en cada caso.

- Análisis transitorio utilizando el amplificador en configuración de integrador: se hará en este caso uso de un escalón como señal de entrada de amplitud 0,5V para ver la respuesta a la integración del mismo.

#### 4.3.1 Modelo I de amplificador

En este modelo se especificará un producto de ganancia por ancho de banda y una ganancia en dB para el diseño deseado además de otros parámetros que junto con los valores usados para la simulación se muestran a continuación.

- Ganancia (dB): 40
- Producto GxBW: 600e6
- Margen de fase (grados): 70
- Tensión de alimentación positiva del amplificador (V): 1
- Tensión de alimentación negativa del amplificador (V): 0
- Slew rate rama positiva (V/segundos): 1e9
- Slew rate rama negativa (-V/segundos): -1e9

En este caso, a partir del producto GxBW y el margen de fase se calcularán las posiciones en frecuencia de los dos polos del amplificador operacional para cumplir los requisitos de ganancia y margen de fase deseados y posteriormente se calculará la función de transferencia mediante la función *laplace\_nd*. El producto GxBW nos determinará de manera directa junto con la ganancia en dB, la posición en frecuencia del primer polo. El margen de fase deseado se obtendrá mediante el correcto posicionamiento en frecuencia del segundo polo.

#### 4.3.2 Modelo II de amplificador

En este modelo se especifican de manera directa las posiciones en frecuencia de los dos polos del amplificador. Los valores de parámetros usados para las simulaciones de este modelo son los siguientes:

- Ganancia (dB): 40
- Posición en frecuencia del primer polo (Hz): 6e6
- Posición en frecuencia del segundo polo (Hz): 1,702e9
- Tensión de alimentación positiva del amplificador (V): 1
- Tensión de alimentación negativa del amplificador (V): 0
- Slew rate rama positiva (V/segundos): 1e9
- Slew rate rama negativa (-V/segundos): -1e9

Con estos parámetros y haciendo uso de nuevo de la función *laplace\_nd* propia de verilog-A se obtendrá la respuesta del amplificador.

Las valores de las posiciones en frecuencia de los dos polos se obtienen mediante las siguientes ecuaciones:

$$numpasos = \frac{Ganancia (dB)}{20} = \frac{40 dB}{20} = 2 \quad [4.10]$$

$$freq_{p1} = \frac{GxBW}{10^{numpasos}} = \frac{600 MHz}{10^2} = 6 MHz \quad [4.11]$$

$$margen_{restante} = -((MF - 180) + 90) = -((70 - 180) + 90) = 20 \quad [4.12]$$

$$numpasos2 = \frac{margen_{restante}}{\frac{grados/decada}{2}} = \frac{20}{45} \approx 0,44 \quad [4.13]$$

$$freq_{p2} = \frac{GxBW * 10}{10^{numpasos2}} = \frac{6 GHz}{2,75} \approx 2,18 GHz \quad [4.14]$$

Una vez realizadas las distintas simulaciones para diversos valores se comprobó que para calcular el valor del parámetro llamado *numpasos2* y obtener valores correctos de simulación era necesario introducir una corrección y en vez de dividir entre la mitad del número de grados que involucra una década en un diagrama de Bode (45 grados) se ajustaban los valores de simulación de mejor forma introduciendo un valor de 36,5 grados. Recalculando entonces se tiene que:

$$numpasos2 = \frac{margen_{restante}}{36,5} = \frac{20}{36,5} \approx 0,547 \quad [4.15]$$

$$freq_{p2} = \frac{GxBW * 10}{10^{numpasos2}} = \frac{6 GHz}{3,52} \approx 1,702 GHz \quad [4.16]$$

### 4.3.3 Modelo III de amplificador

En este caso, para el diseño del modelo, se presentan más parámetros típicos de un amplificador operacional y con los que se puede variar su diseño para comprobar su respuesta ante la variación de los mismos. Tal y como ya se ha comentado, en el alcance de este proyecto, los requisitos necesarios se basan en términos de frecuencia y ganancia por lo que será con estos parámetros con los que se seguirá realizando el estudio y simulaciones de este modelo, dando valores al resto de parámetros de tal forma que sean lo más próximo a valores que pudiera tener un amplificador ideal para no influir en su comportamiento. Los valores dados para la realización de las simulaciones son los siguientes:

- Ganancia (dB): 40
- Posición en frecuencia del primer polo (Hz): 6e6
- Posición en frecuencia del segundo polo (Hz): 1,702e9
- Tensión de alimentación positiva del amplificador (V): 1
- Tensión de alimentación negativa del amplificador (V): 0
- Slew rate (V/segundos): 1e9
- Resistencia de entrada( $\Omega$ ): 1e6
- Resistencia de salida ( $\Omega$ ): 80  $\Omega$
- Corriente de bias (A): 0,01
- Tensión de offset (V): 0,5

Como se puede apreciar, el mecanismo para fijar los polos sigue el descrito en el modelo II presentado en el punto anterior.

## 4.4 Test – bench utilizados en simulaciones

Para la realización de las diversas simulaciones se utilizan tres test-bench distintos: uno para la simulación en modo AC, otro para simulaciones con el amplificador en modo buffer y un tercero para simulaciones del amplificador operacional como integrador.

En la figura 4.2 se muestra el test-bench usado para la simulación en AC en la cual se puede ver como se introduce a la entrada la señal de modo común de 0,5 V y con entrada y salida completamente diferenciales.

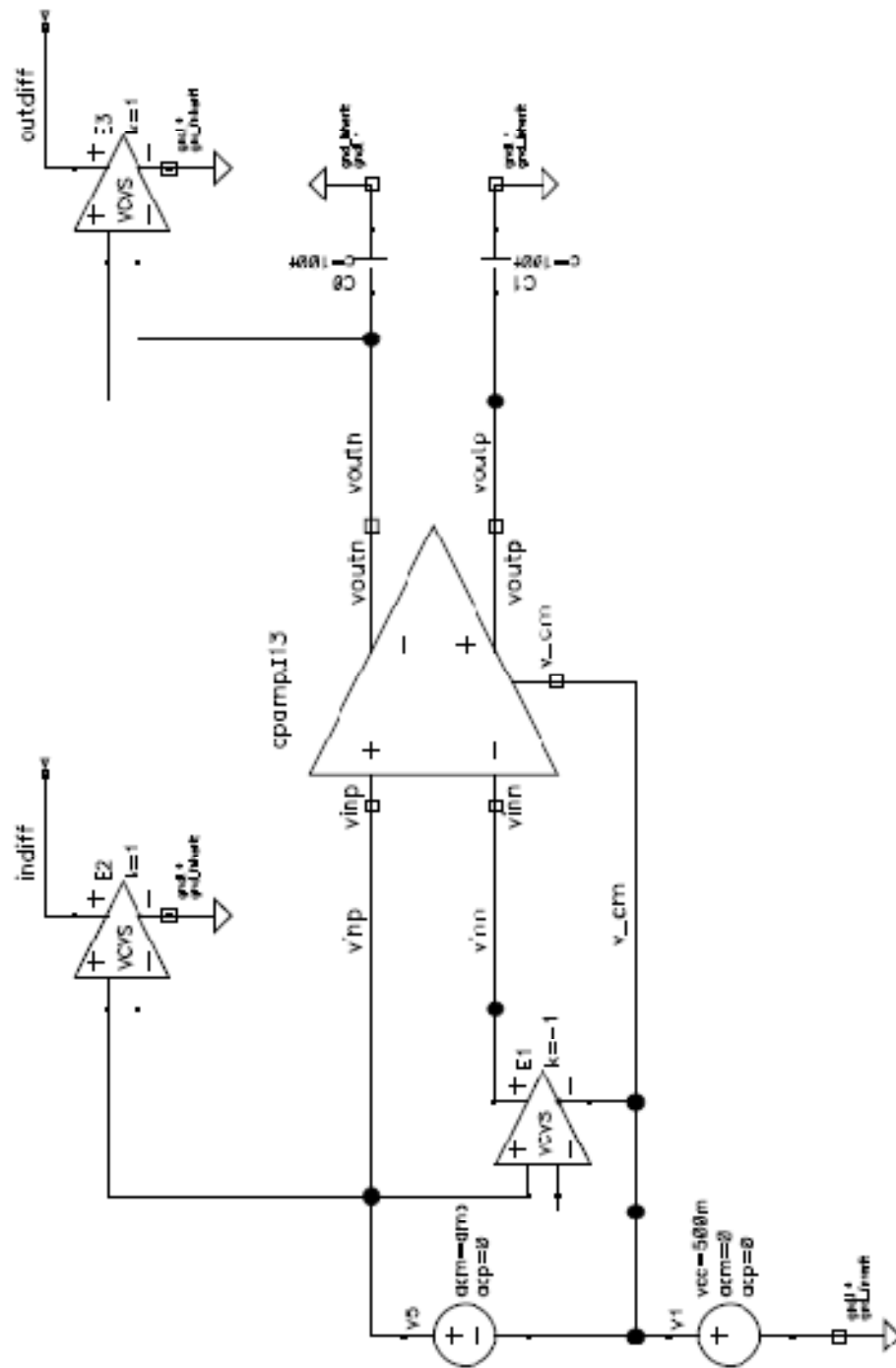


Figura 4.2: Test-bench para simulaciones AC del modelo a nivel de sistema del amplificador operacional

En la figura 4.3 se muestra el test-bench asociado a las simulaciones en modo transitorio y análisis de FFT. Igualmente se tiene tanto entrada como salida completamente diferenciales. A la entrada se tiene una señal sinusoidal con una frecuencia de valor *frequin* y amplitud de entrada de pico de valor *amp* sobre un modo común de 0,5 V

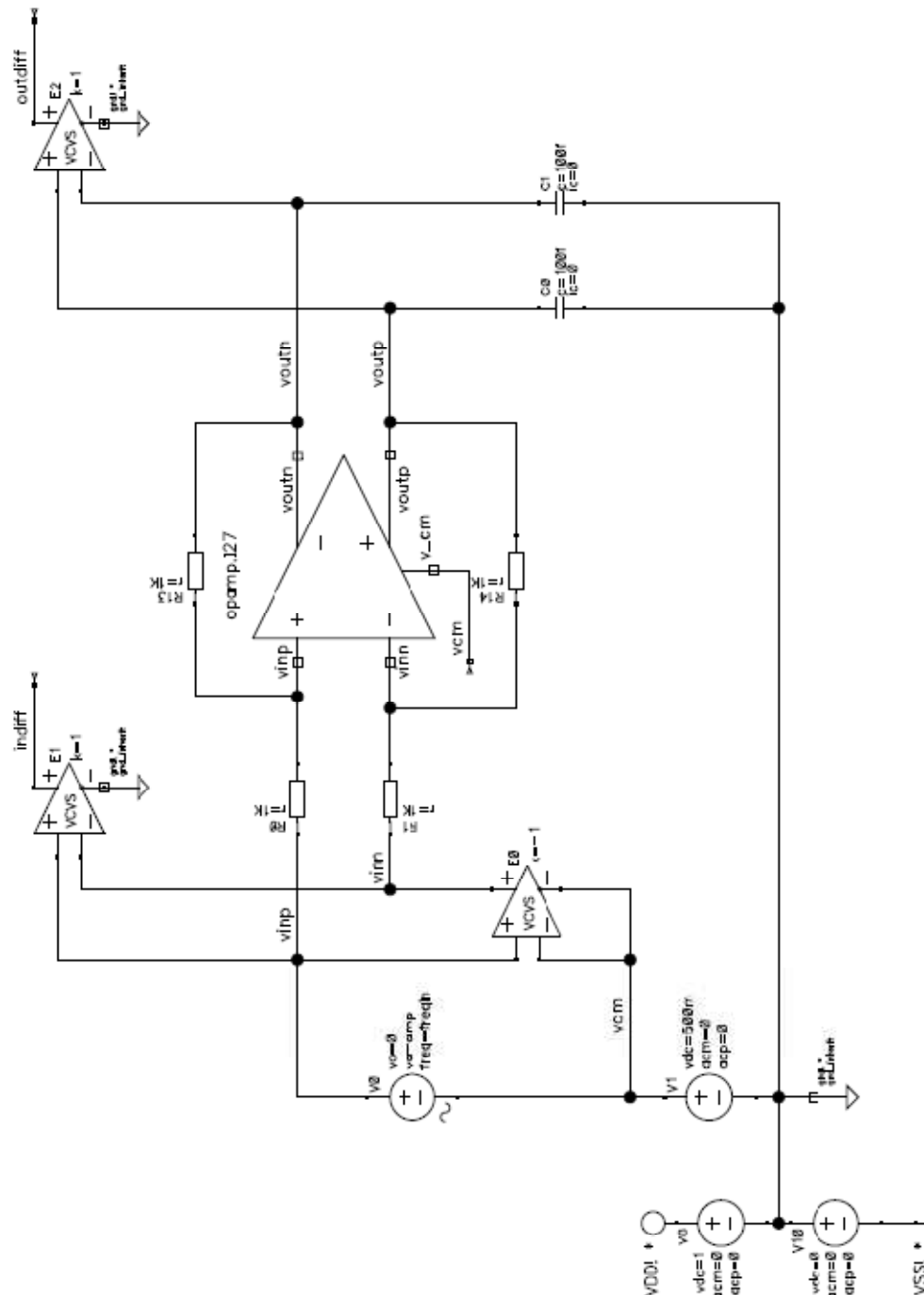


Figura 4.3: Test-bench para simulación de amplificador en modo buffer del modelo a nivel de sistema del amplificador operacional



Finalmente, en la figura 4.4 se muestra el test-bench que se utilizará para la simulación del funcionamiento del amplificador operacional como integrador. Se tiene en este caso como señal de entrada una señal de tipo escalón y de igual forma presenta una entrada y una salida completamente diferenciales.

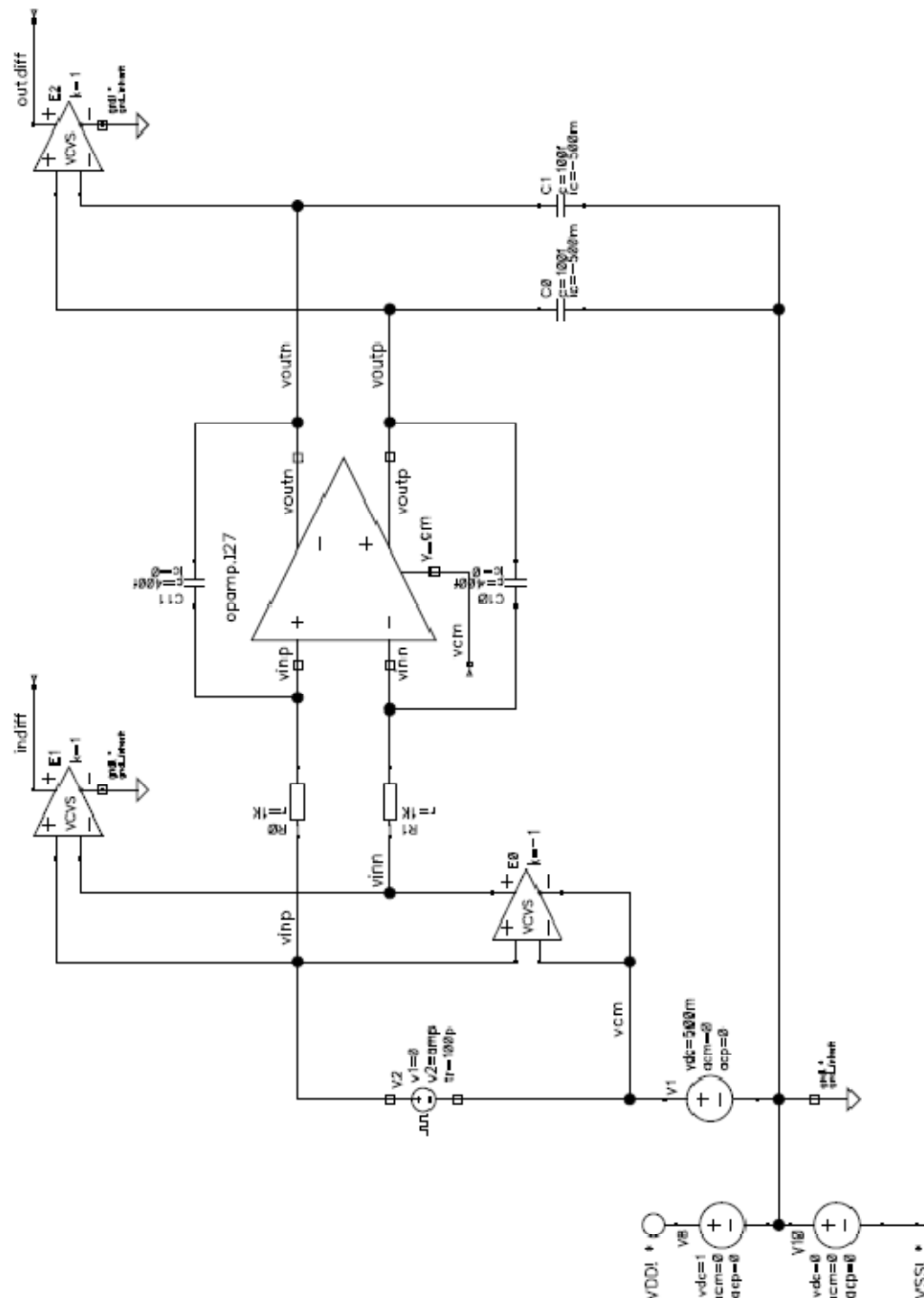


Figura 4.4: Test-bench para simulación de amplificador en modo integrador del modelo a nivel de sistema del amplificador operacional

De un modelo a otro de los diseñados lo único que variará será el amplificador que se pondrá en el bloque identificado como *opamp* en los test-bench y que se corresponderá con cada uno de los tres modelos planteados anteriormente.

## 4.5 Validaciones de los modelos de amplificador operacional diseñados

En este punto se presentarán los resultados de las distintas simulaciones realizadas para cada uno de los modelos diseñados del amplificador operacional, detallados en el punto 4.3.

### 4.5.1 Resultados obtenidos mediante el modelo I de amplificador operacional

Se presentan en este punto los resultados de las simulaciones obtenidas para el primer modelo diseñado del amplificador diferencial.

#### Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura 4.5.

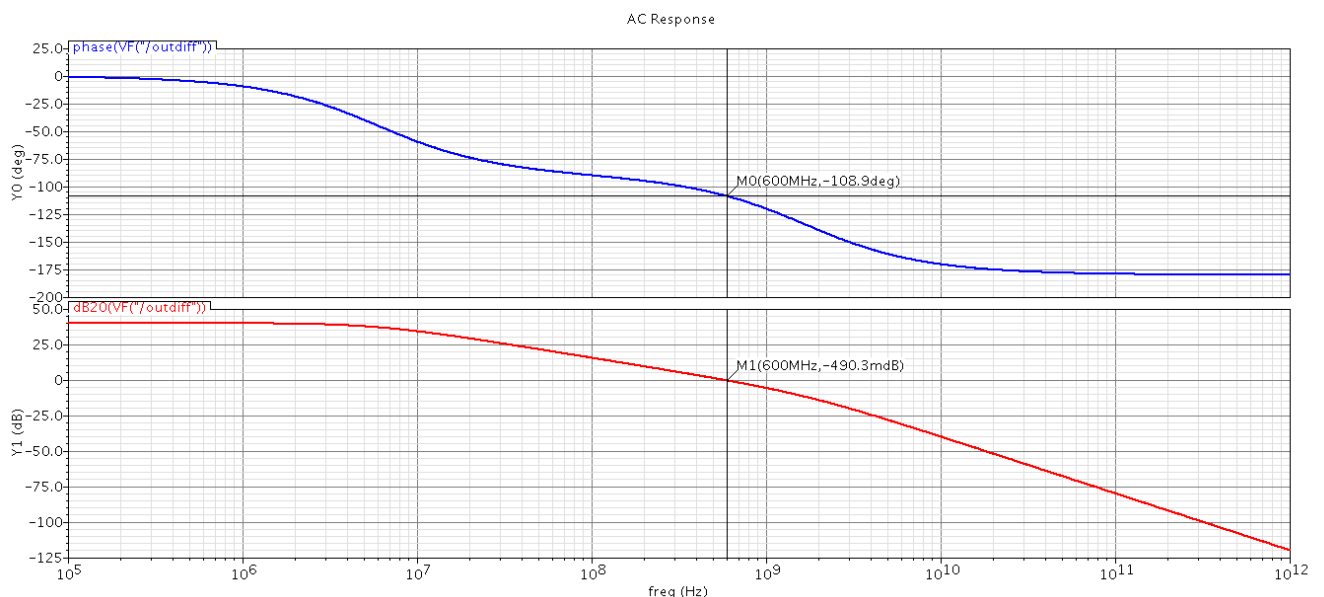


Figura 4.5: Simulación en AC modelo I de amplificador operacional

Se puede ver como cumple las especificaciones requeridas, presentando los siguientes valores:

- *Ganancia* = 40 dB
- Para  $G \times BW = 600 \text{ MHz} \rightarrow \text{Ganancia} = -490,3 \text{ mdB} \approx 0 \text{ dB}$
- Para  $G \times BW = 600 \text{ MHz} \rightarrow MF = 180^\circ - 108,9^\circ = 71,1^\circ$

### Simulación transitoria con el amplificador operacional funcionando en modo buffer:

- Respuesta temporal para  $f_{reqin} = 10\text{MHz}$  y  $amp = 50\text{mV}$

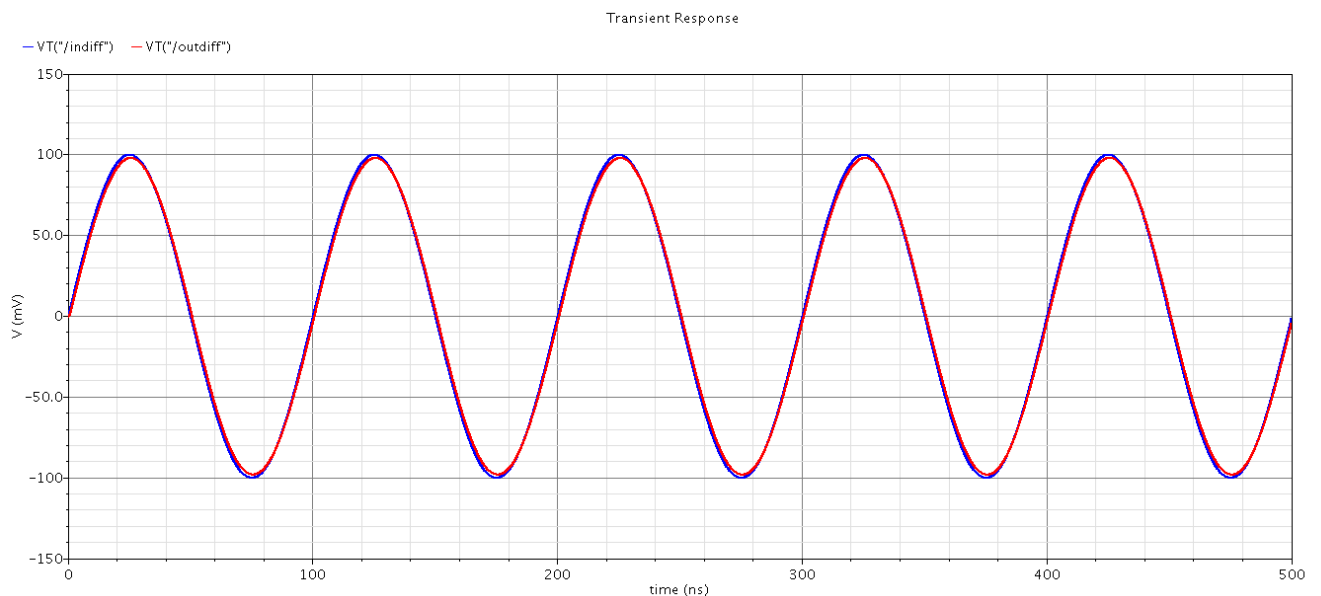


Figura 4.6: Respuesta temporal del modelo I de amplificador operacional en modo buffer con  $f_{reqin}=10\text{MHz}$  y  $amp=50\text{mV}$

- Respuesta temporal para  $f_{reqin} = 300\text{MHz}$  y  $amp = 50\text{mV}$

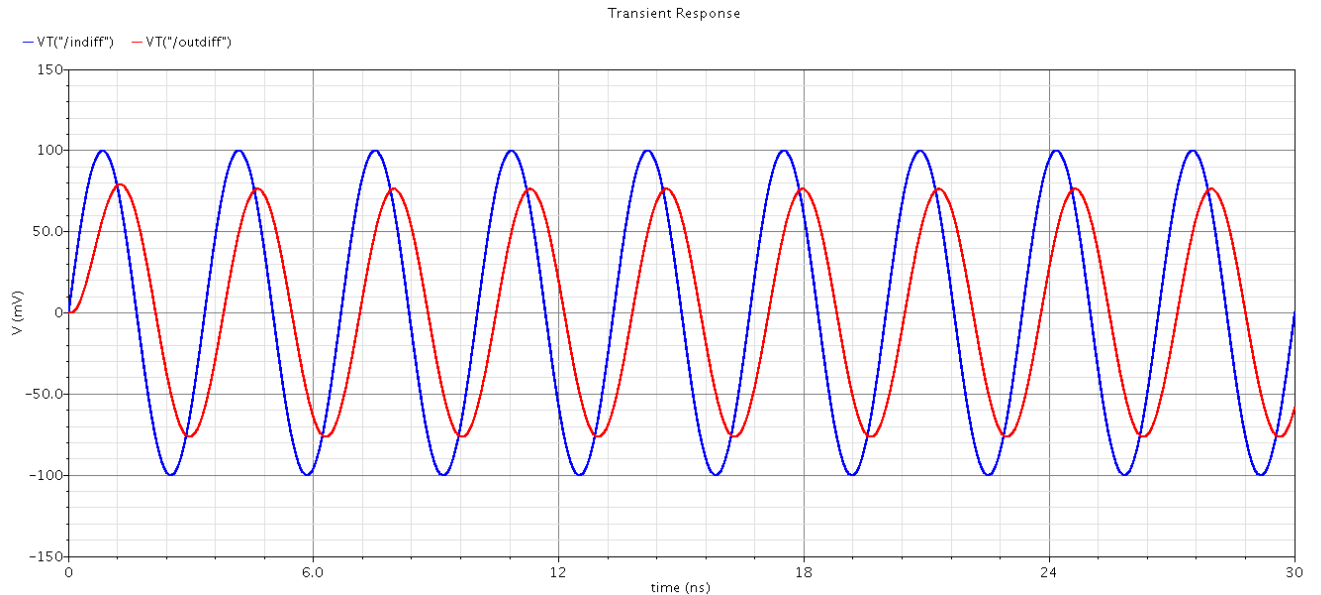


Figura 4.7: Respuesta temporal del modelo I de amplificador operacional en modo buffer con  $f_{reqin}=300\text{MHz}$  y  $amp=50\text{mV}$

Tal y como se esperaba, se puede ver que para una frecuencia por debajo del  $G_{x}BW$  de este amplificador operacional, la respuesta a la salida es la misma señal de entrada por lo que actúa como un seguidor de manera correcta.

Al aumentar la frecuencia de la señal de entrada, y acercarnos al GxBW, se produce una disminución de la amplitud de la señal de salida frente a la de entrada así como un desfase entre ambas.

Con esta configuración y para el valor máximo de frecuencia de entrada supuesto, se indica el valor de distorsión obtenido para este modelo mediante el análisis de su FFT en la tabla 4.1

	Tono principal (dB)	Segundo tono (dB)	THD (dB)
10 MHz	-20,17	-92,36	-72,19

Tabla 4.1: Resultados análisis FFT del modelo I de amplificador operacional

#### Simulación transitoria con el amplificador operacional funcionando en modo integrador:

En la siguiente gráfica se muestra la respuesta del amplificador operacional diseñado cuando se realiza la simulación en su modo de funcionamiento como integrador. Se puede ver su correcta integración cuando la señal de entrada es un escalón.

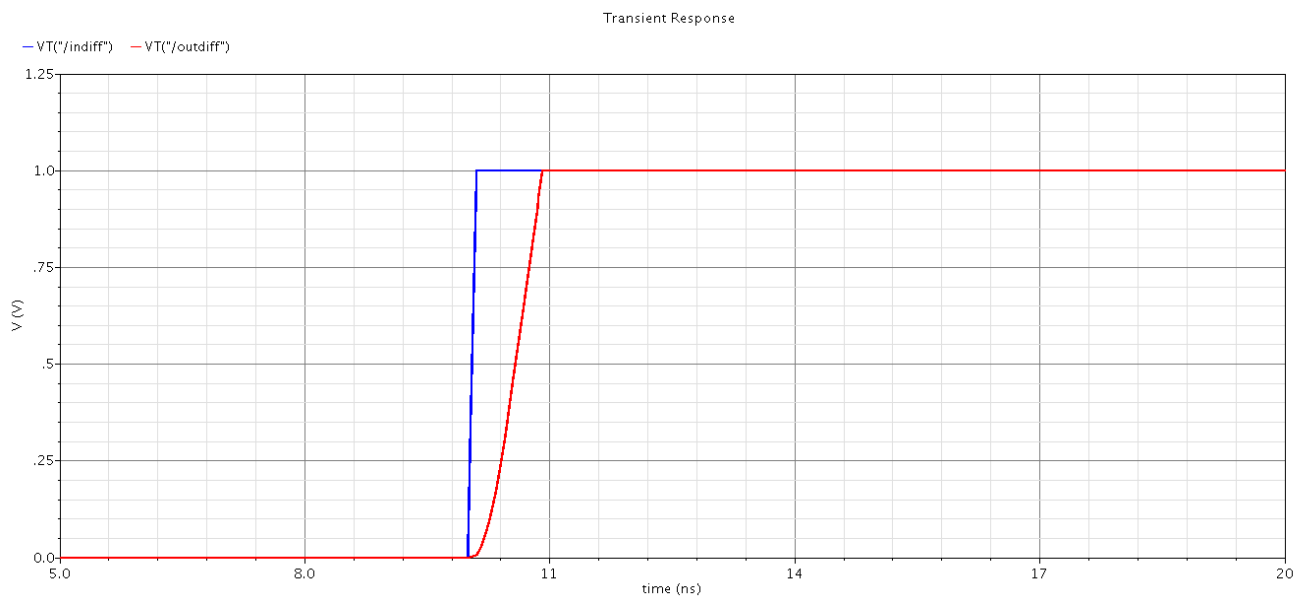


Figura 4.8: Respuesta temporal del modelo I de amplificador operacional en modo integrador

#### 4.5.2 Resultados obtenidos mediante el modelo II de amplificador operacional

Se presentan en este punto los resultados de las simulaciones obtenidas para el segundo modelo diseñado del amplificador diferencial.

##### Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura 4.9.

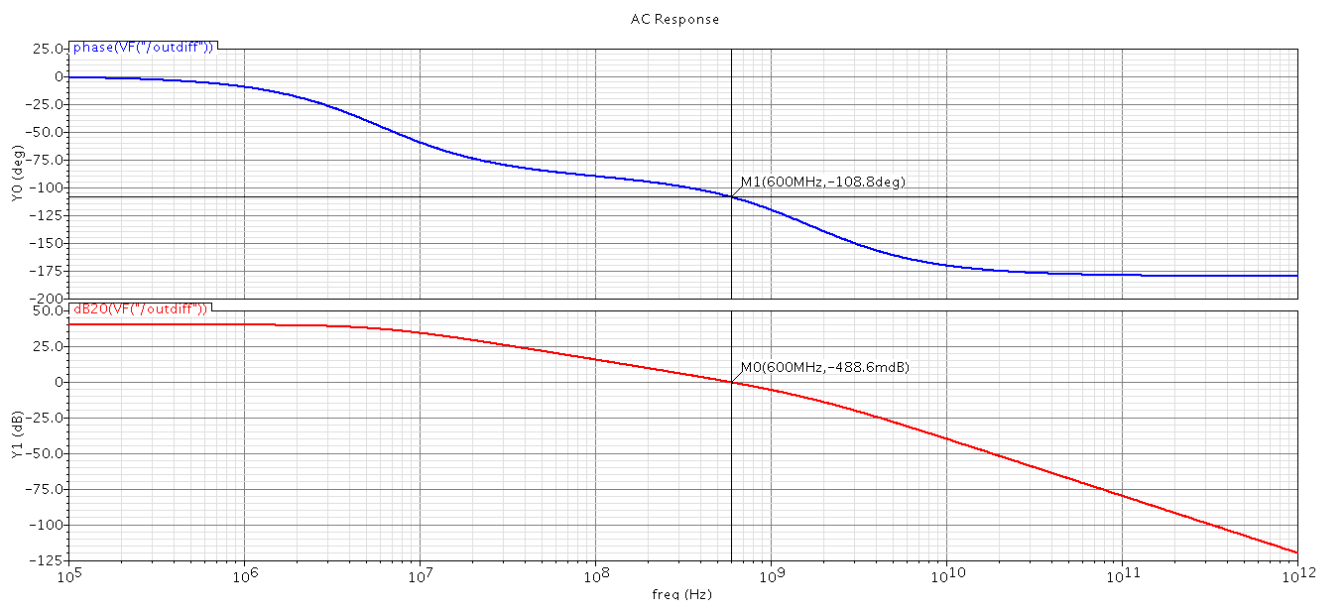


Figura 4.9: Simulación en AC modelo II de amplificador operacional

Se puede ver como cumple las especificaciones requeridas, presentando los siguientes valores:

- $Ganancia = 40 \text{ dB}$
- Para  $GxBW = 600 \text{ MHz} \rightarrow Ganancia = -488,6 \text{ mdB} \approx 0 \text{ dB}$
- Para  $GxBW = 600 \text{ MHz} \rightarrow MF = 180^\circ - 108,8^\circ = 71,2^\circ$

### Simulación transitoria con el amplificador operacional funcionando en modo buffer:

- Respuesta temporal para  $f_{reqin} = 10\text{MHz}$  y  $amp = 50\text{mV}$

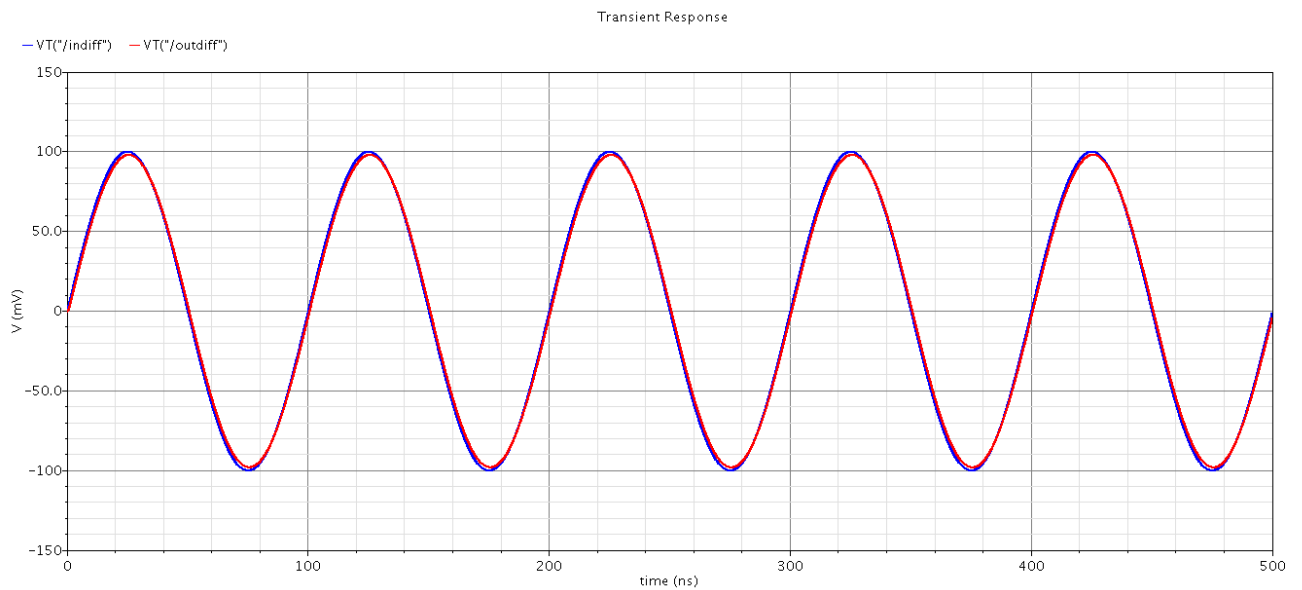


Figura 4.10: Respuesta temporal del modelo II de amplificador operacional en modo buffer con  $f_{reqin}=10\text{MHz}$  y  $amp=50\text{mV}$

- Respuesta temporal para  $f_{reqin} = 300\text{MHz}$  y  $amp = 50\text{mV}$

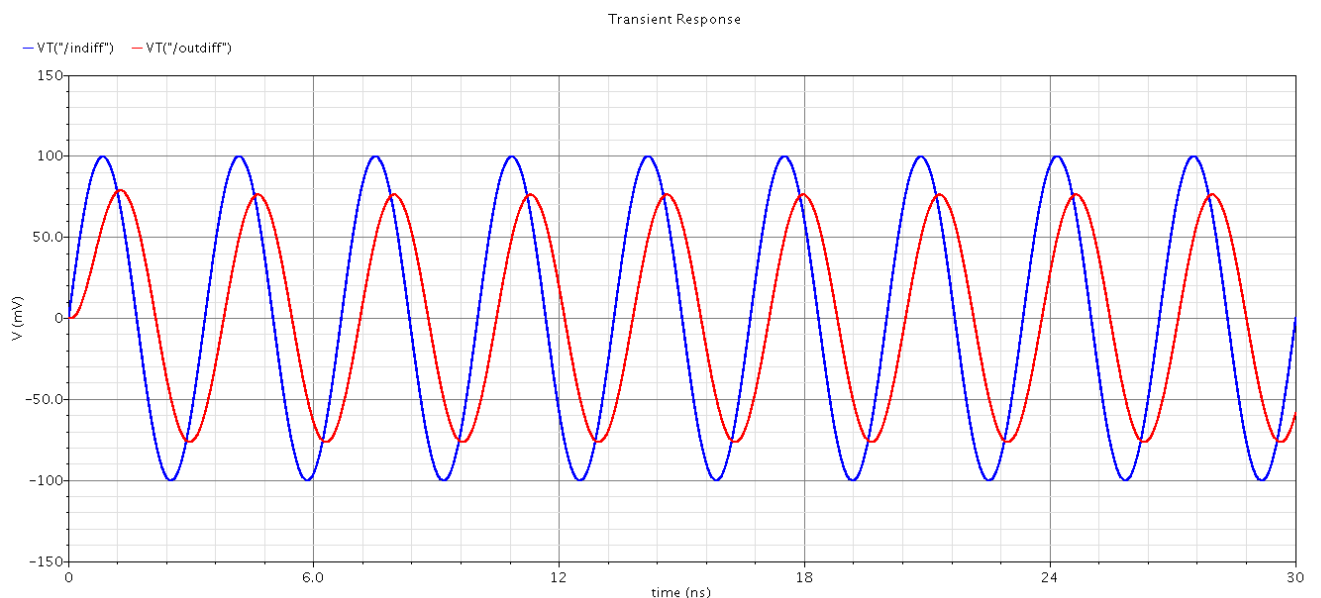


Figura 4.11: Respuesta temporal del modelo II de amplificador operacional en modo buffer con  $f_{reqin}=300\text{MHz}$  y  $amp=50\text{mV}$

De igual forma que en la simulación del modelo anterior, para una frecuencia por debajo del GxBW de este amplificador operacional, la respuesta a la salida es la misma señal de entrada y al aumentar la frecuencia de la señal de entrada y acercarnos al GxBW, se produce una disminución de la amplitud de la señal de salida frente a la de entrada así como un desfase entre ambas.

En el análisis de la FFT para una frecuencia de entrada de 10 MHz se tiene la siguiente distorsión indicada en la tabla 4.2.

	Tono principal (dB)	Segundo tono (dB)	THD (dB)
10 MHz	-20,17	-92,36	-72,19

Tabla 4.2: Resultados análisis FFT del modelo II de amplificador operacional

Los resultados obtenidos para este modelo, como se puede ver son idénticos a los del modelo anterior diseñado.

#### Simulación transitoria con el amplificador operacional funcionando en modo integrador:

De igual forma que en el modelo anterior, se tiene la misma respuesta ante una entrada de tipo escalón cuando el amplificador está funcionando como integrador.

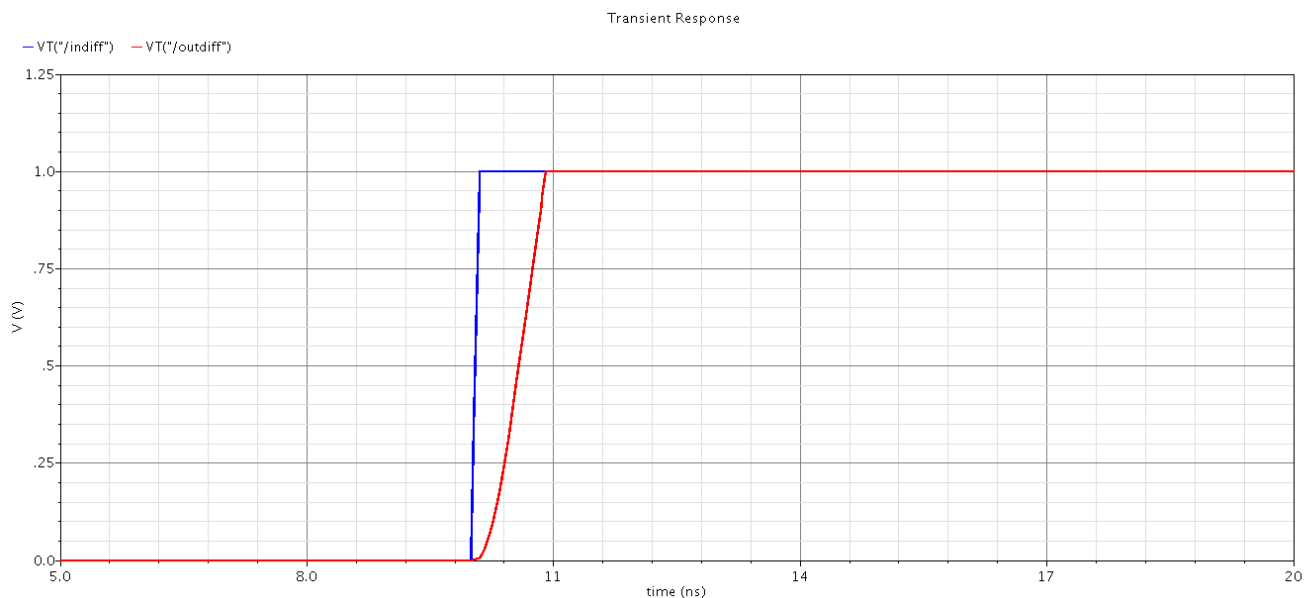


Figura 4.12: Respuesta temporal del modelo II de amplificador operacional en modo integrador

### 4.5.3 Resultados obtenidos mediante el modelo III de amplificador operacional

Se presentan en este punto los resultados de las simulaciones obtenidas para el tercer modelo diseñado del amplificador diferencial.

#### Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura 4.13.

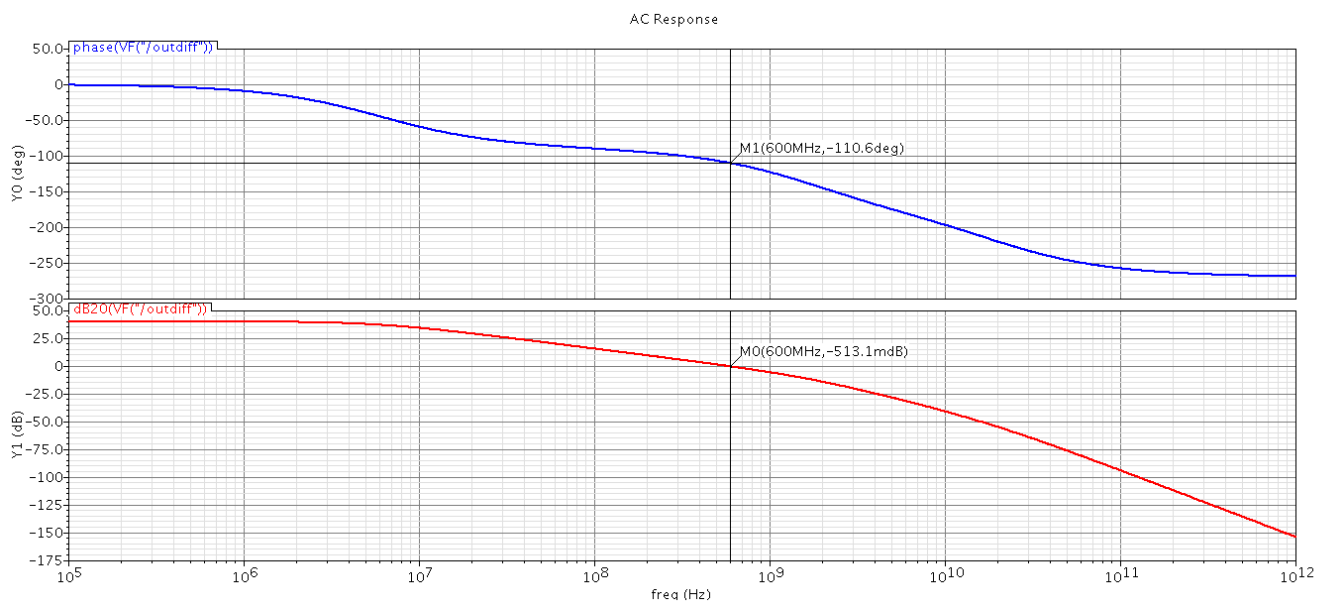


Figura 4.13: Simulación en AC modelo III de amplificador operacional

Se puede ver como cumple las especificaciones requeridas, presentando los siguientes valores:

- $Ganancia = 40 \text{ dB}$
- Para  $GxBW = 600 \text{ MHz} \rightarrow Ganancia = -513,1 \text{ mdB} \approx 0 \text{ dB}$
- Para  $GxBW = 600 \text{ MHz} \rightarrow MF = 180^\circ - 110,6^\circ = 69,4^\circ$



### Simulación transitoria con el amplificador operacional funcionando en modo buffer:

- Respuesta temporal para  $f_{reqin} = 10\text{MHz}$  y  $amp = 50\text{mV}$

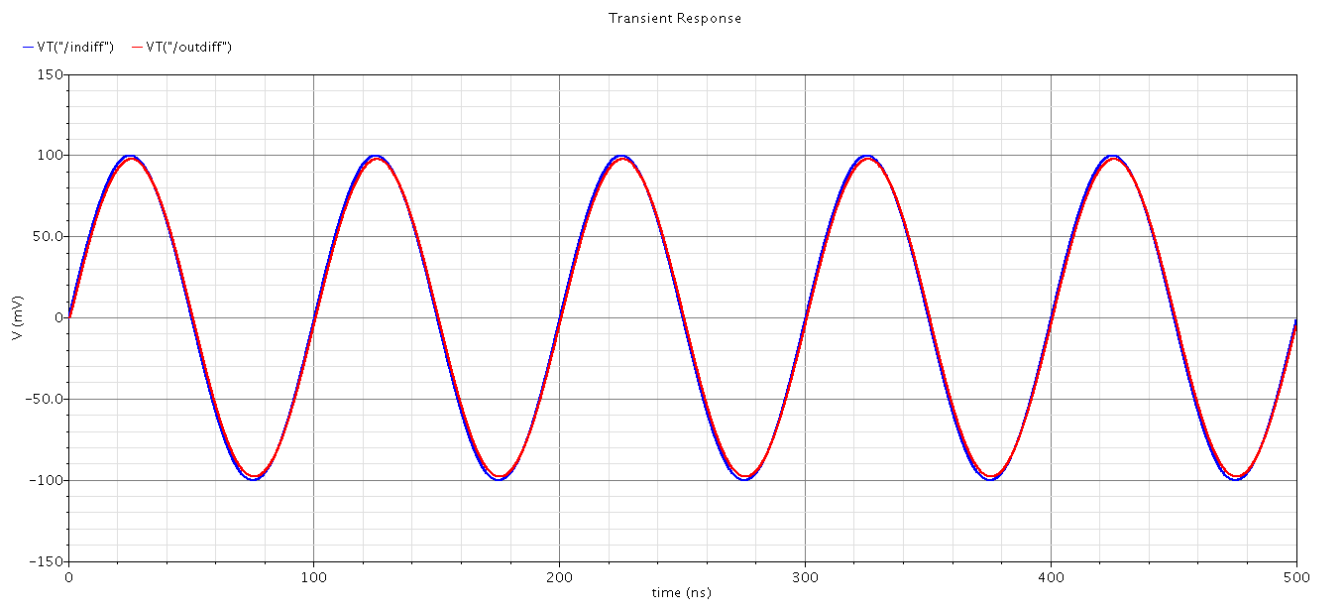


Figura 4.14: Respuesta temporal del modelo III de amplificador operacional en modo buffer con  $f_{reqin}=10\text{MHz}$  y  $amp=50\text{mV}$

- Respuesta temporal para  $f_{reqin} = 300\text{MHz}$  y  $amp = 50\text{mV}$

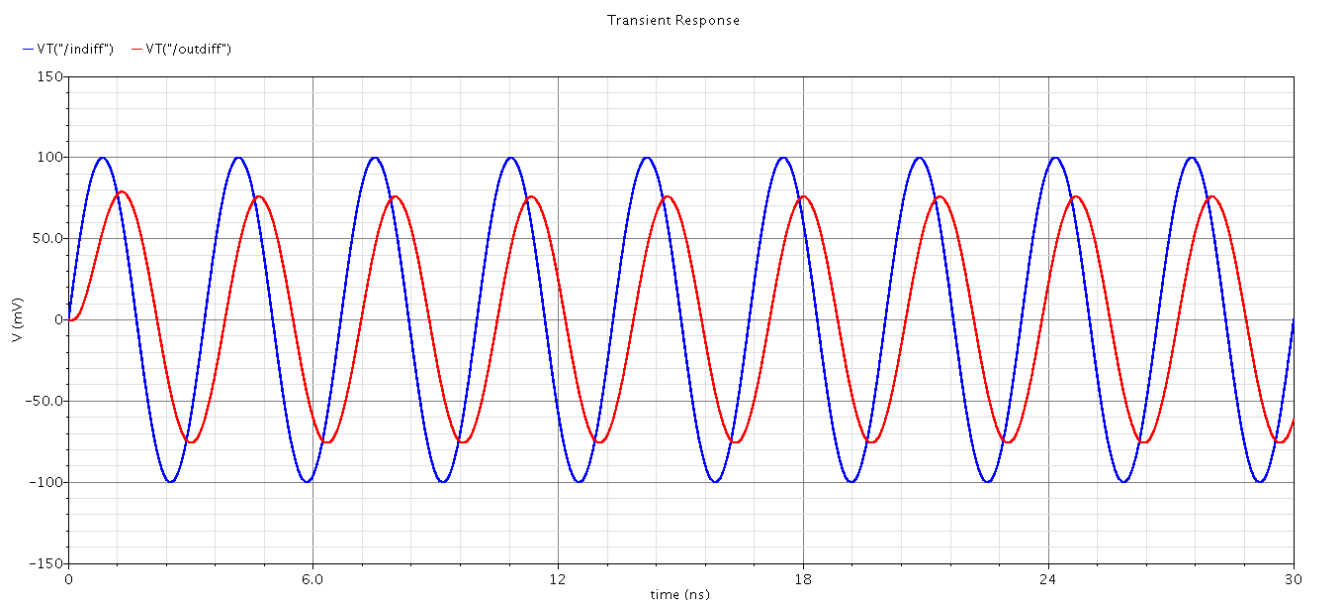


Figura 4.15: Respuesta temporal del modelo III de amplificador operacional en modo buffer con  $f_{reqin}=300\text{MHz}$  y  $amp=50\text{mV}$

Como se puede apreciar el efecto de modificar la frecuencia de la señal de entrada en este modelo, es el mismo que en los dos modelos anteriores presentados.

En el análisis de la FFT se tiene prácticamente el mismo resultado que para los dos modelos anteriores. Se indica en la tabla 4.3.

	Tono principal (dB)	Segundo tono (dB)	THD (dB)
10 MHz	-20,19	-92,37	-72,18

Tabla 4.3: Resultados análisis FFT del modelo III de amplificador operacional

#### Simulación transitoria con el amplificador operacional funcionando en modo integrador:

Se puede comprobar que este modelo también es correcto cuando funciona el amplificador operacional como integrador. Se muestra su respuesta frente a una entrada de tipo escalón:

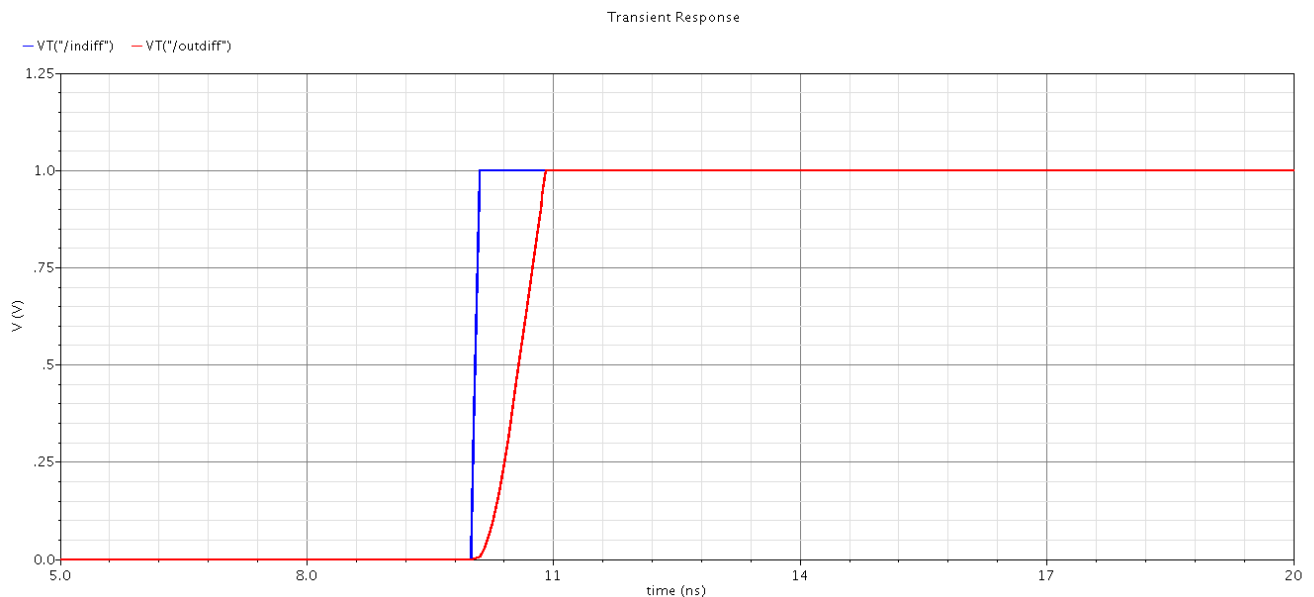


Figura 4.16: Respuesta temporal del modelo III de amplificador operacional en modo integrador

Para los tres modelos presentados se puede ver que los resultados obtenidos son prácticamente idénticos. Es por esto que sólo en este último modelo se va a presentar un zoom de la figura 4.16 en la parte del “codo” de la gráfica. Con este aumento se pretende dejar reflejado el error de ganancia que se comete y que vendrá

dado por la pendiente de la curva de la figura 4.17 y el retardo cometido en presentarse la respuesta a la salida del sistema.

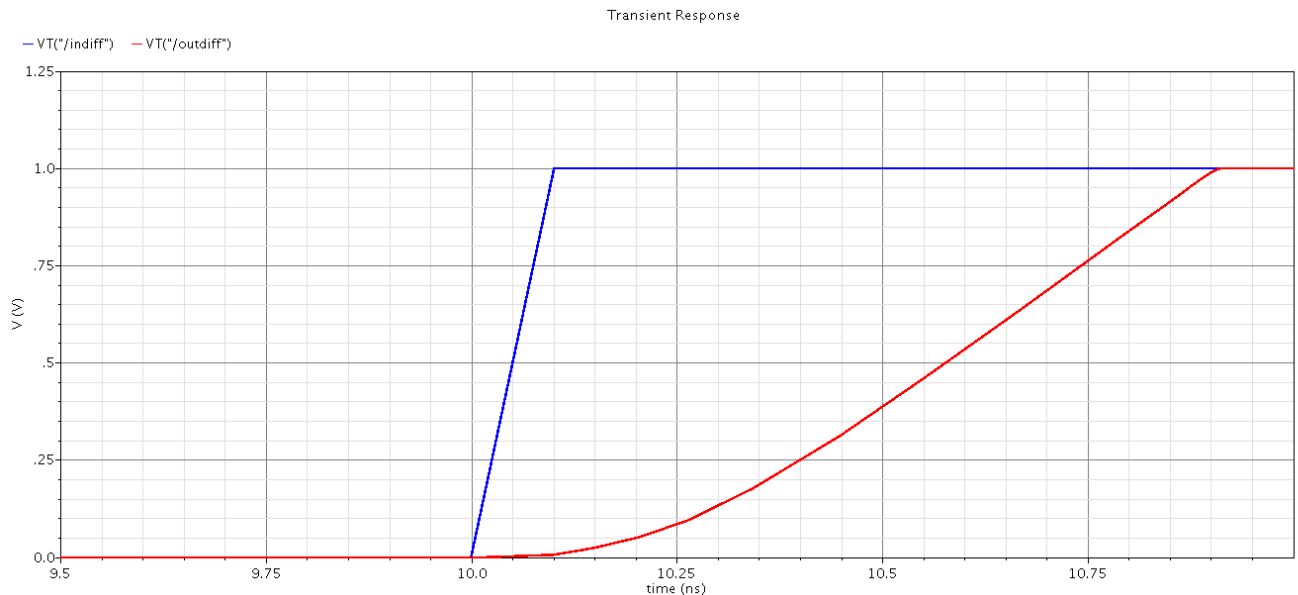


Figura 4.17: Aumento de la gráfica de la respuesta temporal a nivel de sistema del amplificador funcionando como integrador

Los valores de pendiente y retardo de la respuesta del amplificador operacional funcionando como integrador son los siguientes:

- Retardo en la respuesta: 0,075 ns
- Valor de la pendiente: 1,5 V/ns

A mayor valor del retardo y pendiente más alejada de la respuesta ideal (2,4 V/ns), el error de ganancia será mayor. Estos datos nos valdrán para realizar la comparación entre el modelo a nivel de sistema y el modelo a nivel de transistor presentado en el próximo capítulo.

Tras la validación de los diversos modelos diseñados para la realización del amplificador operacional de este Proyecto Fin de Carrera se puede concluir, a la vista de los resultados, que todos los modelos presentados en este capítulo son válidos y óptimos para la representación y simulación del comportamiento de un amplificador operacional de dos etapas.

Como ya se ha mencionado, la ventaja de su diseño a nivel de sistema es la optimización en el tiempo de simulación frente a un modelo con transistores, ayudando así a calcular los parámetros necesarios de cada bloque del modulador de manera más sencilla y rápida.

## CAPÍTULO 5

### Diseño del amplificador operacional a nivel de transistor

Llegados a este punto, en que ya se tiene un modelado a nivel de sistema del amplificador operacional que nos ocupa, el siguiente paso es el diseño del componente a nivel de transistor. Será esta, quizá, la etapa más crítica y compleja del proceso de diseño, ya que en su desarrollo hay que tener en cuenta multitud de factores como pueden ser la elección de la arquitectura elegida o el consumo de potencia. A lo largo de este capítulo se hará una justificación de la tecnología elegida para pasar después al diseño en sí del amplificador operacional deseado.

Para la realización del diseño a nivel de transistor se empleará software de la compañía CADENCE Design Systems Inc., en concreto, se emplearán las herramientas *Virtuoso Schematic Composer*, que permite editar gráficamente los circuitos, y el simulador *Spectre* para simular circuitos analógicos.

#### 5.1 Tecnología CMOS

La realización del diseño a nivel de transistor del amplificador deseado, se hará bajo tecnología CMOS ya que presenta una serie de ventajas respecto al resto de tecnologías que la hacen más adecuada para la aplicación que nos ocupa. Hay que recordar que el amplificador diseñado será parte del diseño de un modulador *sigma-delta* como ya se ha dejado especificado en capítulos anteriores.

Los transistores MOSFET permiten conseguir una mayor densidad de ocupación y una menor disipación de potencia y se han convertido en predominantes en el área de los circuitos electrónicos digitales, aunque los transistores bipolares todavía presentan ciertas ventajas sobre los MOSFET para el diseño de circuitos electrónicos analógicos como, por ejemplo, la transconductancia ( $g_m$ ) para una misma corriente en los transistores bipolares es comúnmente bastante mayor que en los transistores MOSFET, permiten conseguir mayores ganancias, tienen mayor velocidad de

respuesta, producen menor tensión de offset de entrada, etc., por todo ello los amplificadores operacionales bipolares fueron inicialmente los más usados y aún hoy, para ciertas aplicaciones son la mejor elección.

En la cara opuesta encontramos que actualmente están cobrando mucha importancia los sistemas de procesamiento de señal. Estos sistemas combinan tanto bloques digitales como analógicos. Es en estos casos, con el fin de reducir costes y aumentar la portabilidad, es cuando es necesario tratar de conseguir niveles máximos de integración así como un consumo de potencia mínimo. Para conseguir estos requisitos es necesario diseñar los bloques analógicos utilizando tecnologías compatibles con la CMOS.

Una manera de conseguir esto es usar técnicas de procesamiento que permita combinar ambos tipos de transistores dentro de un mismo circuito integrado. A esta tecnología se le denomina BiCMOS. Al ser esta, una técnica cara hoy en día, en aplicaciones en que no se requiera unas altas prestaciones de la circuitería analógica se suele usar la tecnología CMOS tanto para la parte digital como para la analógica del circuito integrado.

El amplificador operacional que se diseña en este capítulo se hará en tecnología CMOS ya que irá integrado en un modulador *sigma-delta* que a su vez pertenecerá a un sistema de procesamiento de señal (convertidor ADC) que incluye bloques digitales y no requiere de unas altas prestaciones para su funcionamiento.

## 5.2 Transistores MOSFET

En este punto se presentarán las características de los transistores MOSFET que se usarán en el desarrollo del amplificador a nivel de transistor. [2]

Los transistores MOSFET o Metal Oxido Semiconductor (MOS) son dispositivos de efecto de campo que utilizan un campo eléctrico para crear un canal de conducción. Existen dos tipos: de canal N (NMOS) y de canal P (PMOS). A su vez, cada uno de ellos pueden ser de acumulación o de depleción aunque estos últimos están actualmente en desuso y se pasará a detallar sólo los primeros mencionados.

La estructura física de un MOSFET se puede ver en la figura 5.1 (de canal N concretamente). Se puede observar que presenta cuatro terminales: puerta, drenador, fuente y sustrato. Normalmente el sustrato se encuentra conectado a la fuente.

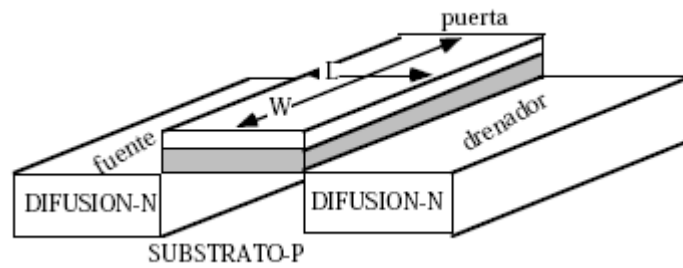


Figura 5.1: Estructura física de un transistor NMOS

La puerta, de dimensión  $W * L$ , está separada del sustrato por un dieléctrico ( $\text{SiO}_2$ ) formando una estructura similar a las placas de un condensador.

Al aplicar una tensión positiva en la puerta, se inducen cargas negativas en la superficie del sustrato y se crea un camino de conducción entre los terminales drenador y fuente. La tensión mínima para crear esa capa de inversión se denomina tensión umbral ( $V_T$ ) y será un parámetro característico del transistor. Si la  $V_{GS} \ll V_T$  la corriente de drenador-fuente es nula.

Estos transistores presentan cuatro regiones: de corte, lineal, saturación y ruptura que se pasan a detallar a continuación. En la figura 5.2 se muestra su representación gráfica para el caso de un NMOS:

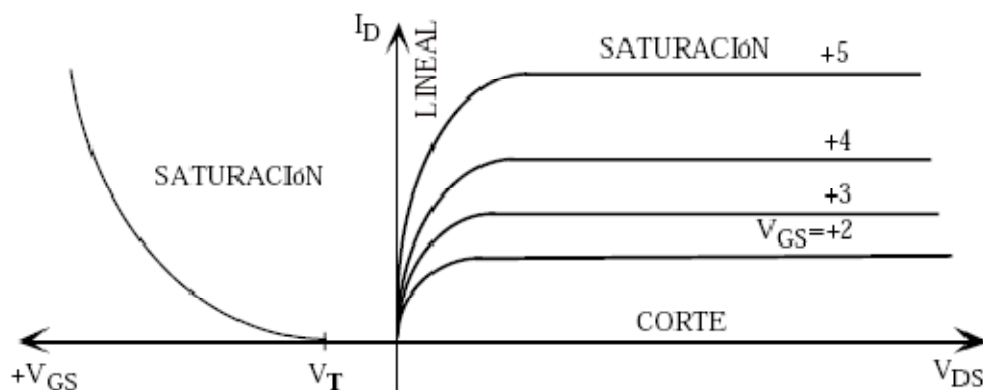


Figura 5.2: Curvas características de un NMOS

### Región de corte

Se verifica que  $V_{GS} \ll V_T \rightarrow I_D = 0$

[5.1]

### Región lineal

El transistor se comporta como un elemento resistivo no lineal controlado por tensión. Verifica las siguientes ecuaciones:

$$I_D = k \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

[5.2]

$$0 < V_{DS} < V_{GS} - V_T \quad y \quad V_{GS} > V_T$$

$k \frac{W}{L}$  es un parámetro característico del transistor MOSFET que depende de la tecnología a través de la constante  $k$  y del tamaño de la puerta del transistor, siendo  $W$  la anchura y  $L$  la longitud.

### Región de saturación

En esta región el transistor se comporta como una fuente controlada por la tensión  $V_{GS}$ . Se verifican las siguientes ecuaciones:

$$I_D = \frac{k W}{2 L} (V_{GS} - V_T)^2$$

[5.3]

$$0 < V_{GS} - V_T < V_{DS} \quad y \quad V_{GS} > V_T$$

La relación entre  $V_{GS}$  e  $I_D$  es cuadrática.

Para los transistores MOSFET esta es la región en la que presentan unas características más o menos lineales y por tanto la región en la que se tendrán que polarizar los transistores que compondrán el diseño del amplificador operacional a realizar.

### Región de ruptura

Un transistor MOSFET puede verse afectado por fenómenos de avalancha en los terminales drenador y fuente, y roturas en la capa de óxido fino de la puerta que pueden dañar irreversiblemente el dispositivo.

Finalmente en la tabla 5.1 se muestran los convenios de signos en las tensiones y corrientes de un NMOS y PMOS:

NMOS	PMOS
$V_{GS} > 0$ $V_{DS} > 0$ $I_D > 0$ $V_T > 0$	$V_{GS} < 0$ $V_{DS} < 0$ $I_D < 0$ $V_T < 0$

Tabla 5.1: Convenio de signos en las tensiones y corrientes de un NMOS y PMOS

## 5.3 Diseño a nivel de transistor del amplificador operacional

Según las especificaciones impuestas, nuestro amplificador operacional, como ya sabemos, ha de ser completamente diferencial y hará uso de tecnología CMOS de 65nm. Partiendo de estas premisas se deberá seleccionar la arquitectura que debe presentar. [1][5][8]

En el segundo capítulo de este Proyecto, se comentó que los amplificadores operacionales presentarían tres etapas básicas conectadas en cascada: una etapa diferencial de entrada, una segunda etapa de ganancia y finalmente una etapa de salida que proporcionara corriente suficiente. En el caso del diseño del amplificador, se va a desestimar el uso de una etapa de salida como tal, ya que alimentará otros componentes internos, integrados en el mismo chip, que también serán de tecnología CMOS y que por tanto, presentarán resistencias de entrada muy altas, representando cargas puramente capacitivas y no haciendo necesaria una etapa anterior que proporcione una corriente elevada.

Por tanto, el diseño del amplificador operacional constará de dos etapas: una primera etapa formada por un par diferencial y una segunda etapa de ganancia que hará las veces de etapa de salida. Se utilizará la arquitectura mostrada en la figura 5.3.



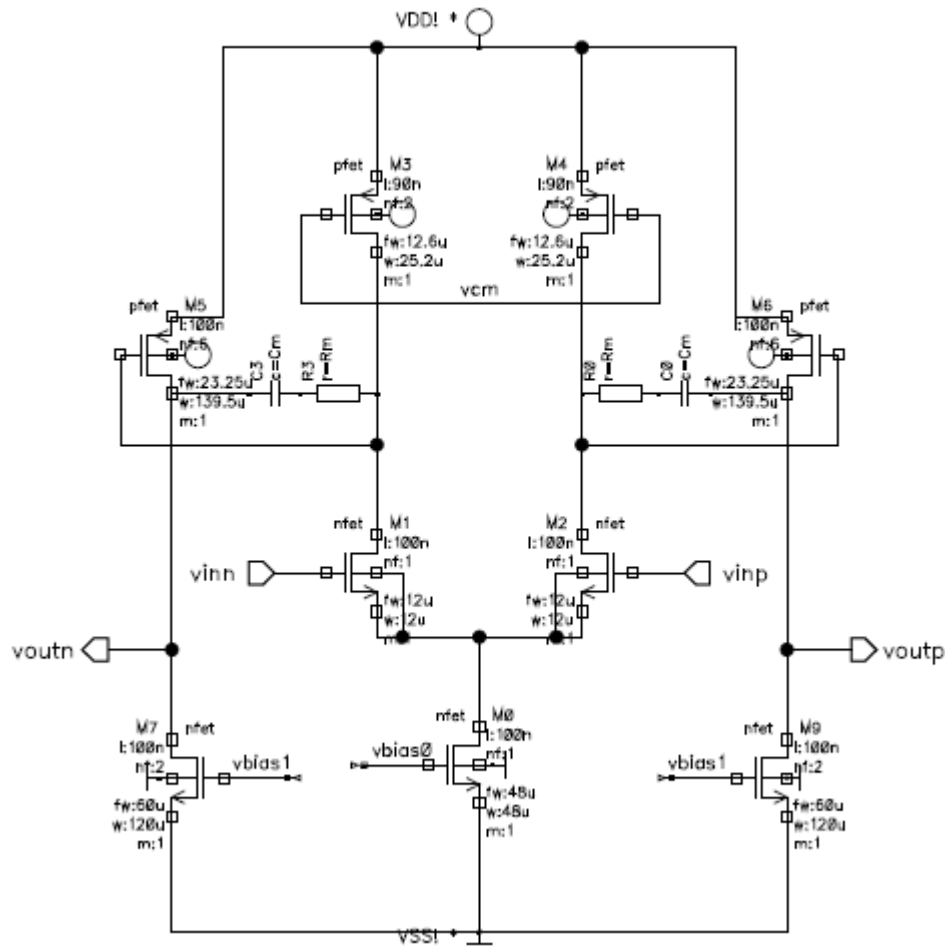


Figura 5.3: Esquema de las etapas de entrada y de ganancia/salida del amplificador operacional

La etapa diferencial de entrada se ha realizado usando cargas activas (transistores PMOS M3 y M4) por sus ventajas en el aporte de ganancia y ocupación física en el chip. En cuanto a la etapa de ganancia/salida se ha seleccionado una configuración en fuente común (transistores PMOS M5 y M6) por ser suficientes para alcanzar el nivel de ganancia impuesto en las especificaciones (ha de recordarse que cuanto menor sea el número de transistores utilizados, menor será el consumo y el tamaño del chip).

Los transistores M14, M8, M0, M7 y M9 mostrados en la figura 5.6 actuarán como fuentes de corriente que alimentarán a sus etapas correspondientes y estarán diseñados como espejos de corriente.

Para garantizar la estabilidad del amplificador operacional, se ha utilizado la técnica de compensación interna de Miller, compuesta por las resistencias  $R_m$  y los

condensadores  $C_m$  de la figura 5.3, conectados entre la salida y la entrada de cada etapa de ganancia.

Al esquema anteriormente presentado sólo falta añadirle un circuito de realimentación para controlar la tensión de modo común a la salida (que irá conectado al nodo marcado como  $v_{cm}$ ). Para la implementación de este circuito de control del modo común, una manera sencilla de detectar la tensión de salida de modo común del amplificador en cuestión, es mediante el uso de dos resistencias iguales de forma que actúen como un divisor resistivo entre las dos salidas de dicho amplificador. Dicha técnica se muestra en la figura 5.4.

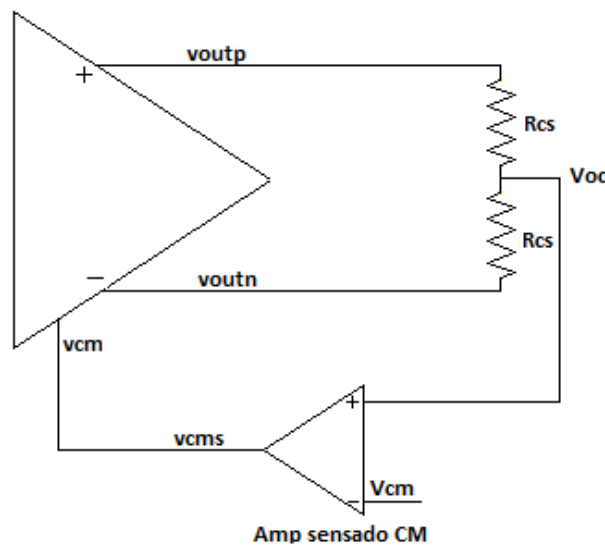


Figura 5.4: Circuito de control del modo común utilizando un divisor resistivo y un amplificador de sensado

La tensión entre las dos resistencias de sensado  $R_{CS}$  será:

$$v_{oc} = \frac{v_{outp} + v_{outn}}{2}$$

[5.4]

Esta tensión es comparada con la tensión de salida de modo común deseada,  $V_{cm}$ , y después es amplificada mediante el amplificador de sensado del modo común con ganancia  $a_{cms}$ . La salida de este amplificador fijará la entrada  $v_{cm}$  al amplificador operacional y será la siguiente:

$$v_{cms} = a_{cms}(v_{oc} - V_{cm}) + V_{CSBIAS}$$

[5.5]

$$\text{Si } v_{oc} = V_{CM} \rightarrow v_{cms} = V_{CSBIAS}$$

Se ha supuesto siempre que las entradas al amplificador de sensado del modo común son idealmente constantes para simplificación del diseño.

El circuito de la figura 5.4 tiene una desventaja y es que, el conjunto de las resistencias  $R_{CS}$  y la capacidad de entrada del amplificador de sensado introducen un polo en la función de transferencia del circuito. Para arreglar este inconveniente lo que se hace es conectar un condensador  $C_{CS}$  en paralelo con cada resistencia  $R_{CS}$  para introducir un cero en la función de transferencia que permita anular el efecto del polo a altas frecuencias. El esquema quedaría como se muestra a continuación en la figura 5.5.

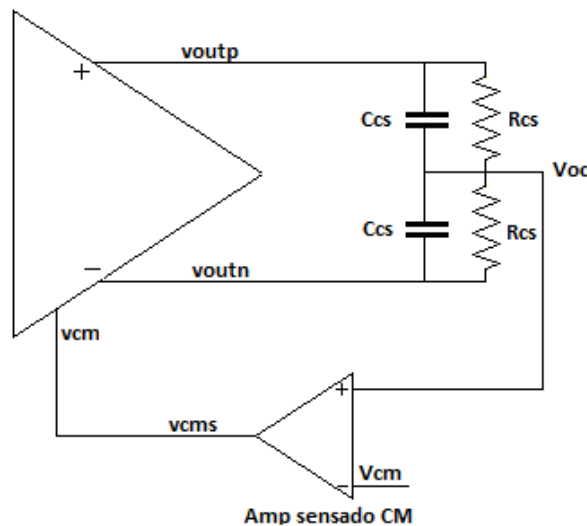


Figura 5.5: Circuito de control del modo común utilizando un divisor resistivo, condensadores y un amplificador de sensado

Cabe destacar que las resistencias sensoras,  $R_{CS}$ , suponen una carga adicional a la salida del amplificador en modo diferencial desde el momento en que el nodo entre estas resistencias constituye una masa en el circuito diferencial de pequeña señal. Esta carga reducirá la ganancia de tensión diferencial en circuito abierto del amplificador por lo que han de tener valores altos para poder paliar este efecto.

Una vez especificados todos los detalles del diseño que se realizará del amplificador operacional de este Proyecto, en la figura 5.6 se muestra el esquema completo del mismo. En posteriores apartados se darán valores a cada uno de los componentes de dicho esquema.

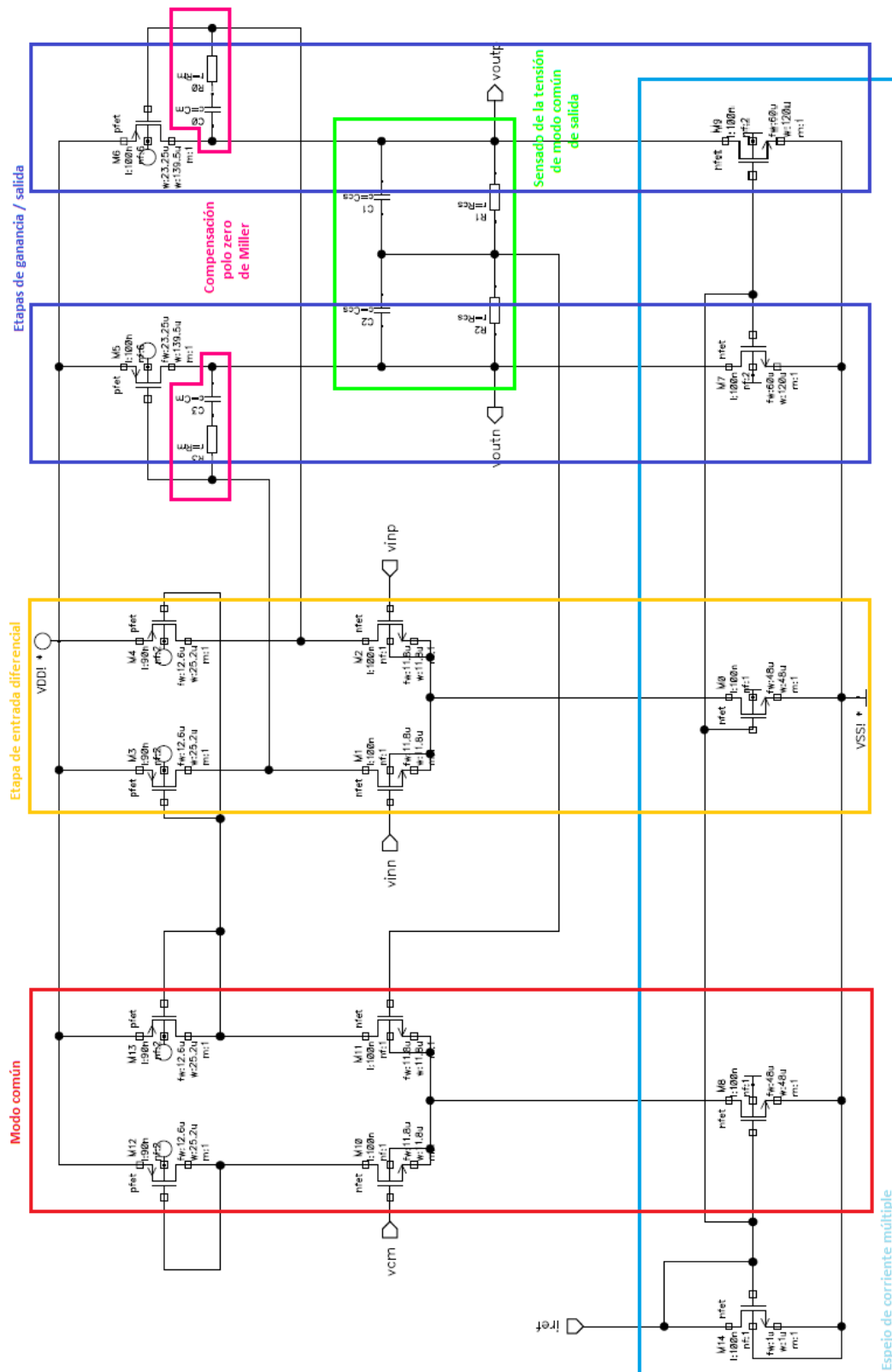


Figura 5.6: completo a nivel de transistor del amplificador operacional



Para el modelado en pequeña señal se han de seguir ciertas premisas. Una de ellas es que el valor de tensión de modo común que le estamos dando al amplificador operacional (0,5V) es un valor que se supondrá constante a la entrada, lo que permite suponer que la entrada DC diferencial es cero. Además se supondrá que el circuito, tal y como está diseñado, es completamente simétrico y que opera de manera lineal. Se comenzará analizando la etapa diferencial de entrada mostrada en la figura 5.8.

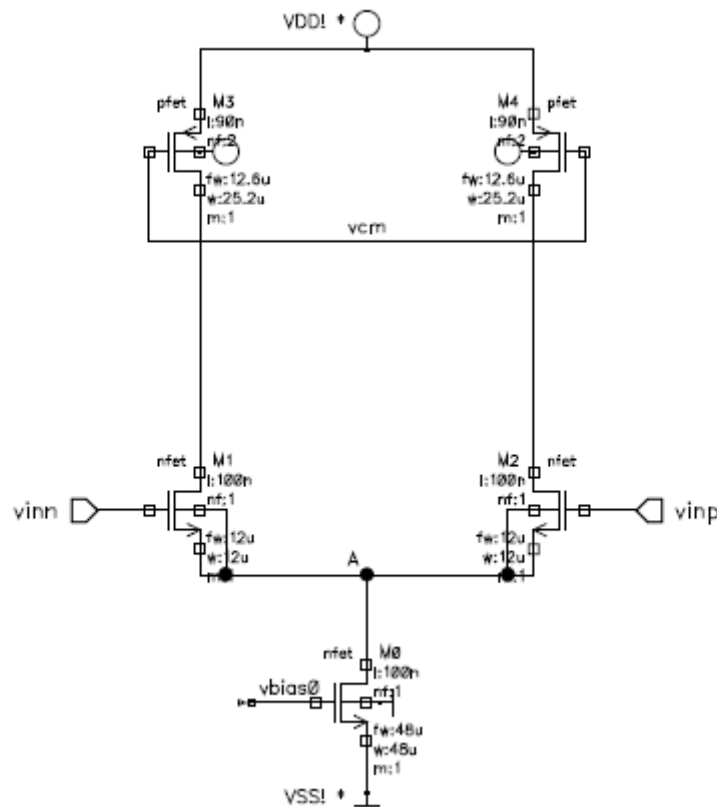


Figura 5.8: Equivalente en pequeña señal de la etapa diferencial del amplificador operacional I

Al tratarse de un circuito completamente simétrico y ser sus señales de entrada iguales en tensión y opuestas en signo, la tensión del nudo A será constante al igual que la tensión en modo común introducida. Esto es debido a que el transistor M0 actúa como una fuente de corriente constante y en el equivalente en pequeña señal se convertirá en un circuito abierto. Como consecuencia y junto con sus características de simetría y de que, en el modelado en pequeña señal, los puntos de tensión constante pueden suponerse conectados a masa, se tendrá el equivalente mostrado en la figura 5.9.

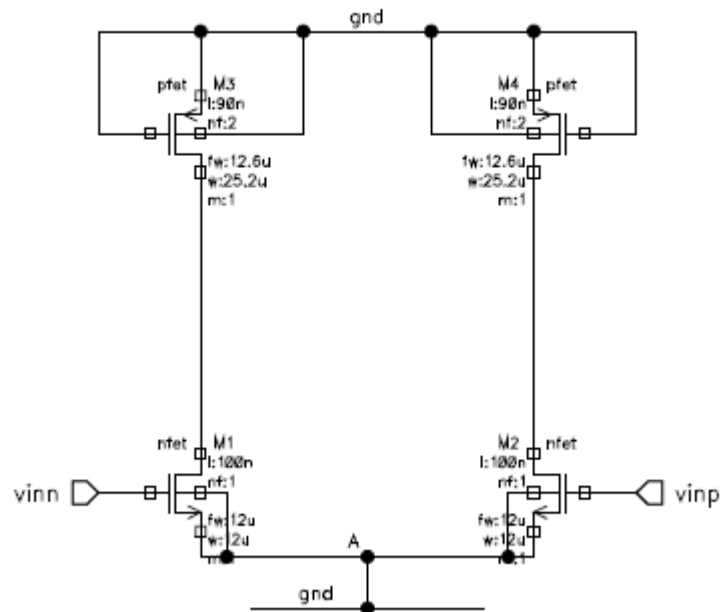


Figura 5.9: Equivalente en pequeña señal de la etapa diferencial del amplificador operacional II

Como además el circuito está perfectamente balanceado, los transistores NMOS M1 y M2 son exactamente iguales. De igual forma ocurre con los transistores PMOS M3 y M4. De esta forma los lados del circuito, mostrado en la figura 5.9, son exactamente iguales y se pueden considerar independientes ya que están conectados a masa por arriba y por abajo. Por tanto, se puede dividir el circuito completo en dos subcircuitos iguales para la simplificación del modelado en pequeña señal, quedando entonces los dos subcircuitos mostrados en la figura 5.10.

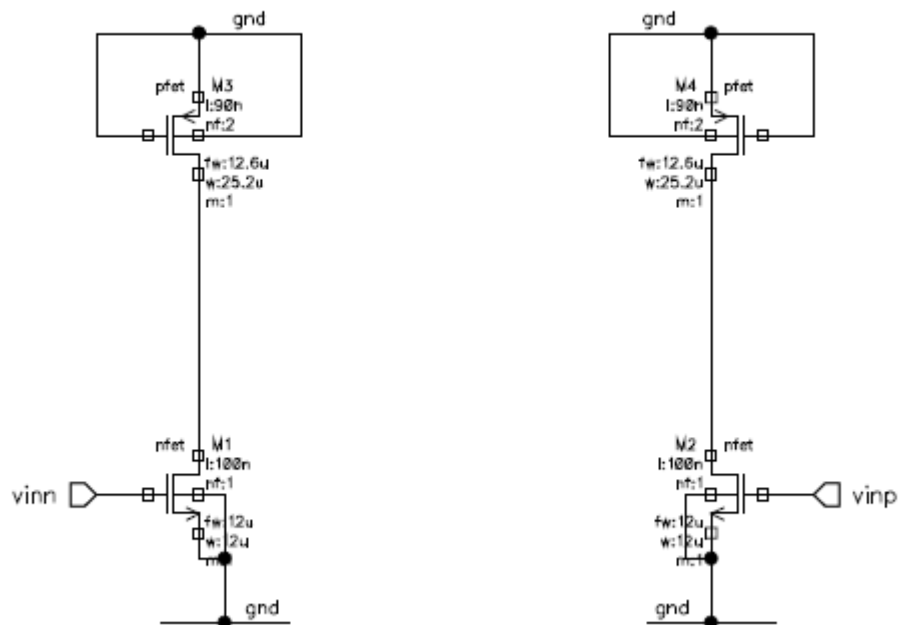


Figura 5.10: Equivalente en pequeña señal de los subcircuitos independientes de la etapa de entrada

Una vez obtenidos estos dos subcircuitos de la etapa de entrada se añade la etapa de salida y finalmente se obtienen los dos siguientes subcircuitos mostrados en la figura 5.11.

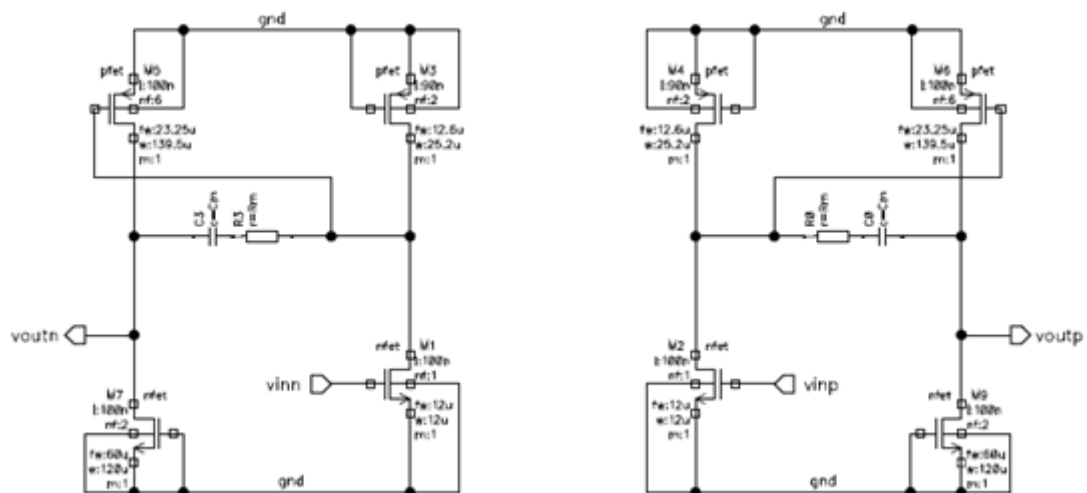


Figura 5.11: Equivalente en pequeña señal de los subcircuitos independientes de la etapa de entrada y etapa de salida



Para un transistor MOSFET se tiene el siguiente equivalente en pequeña señal mostrado en la figura 5.12.

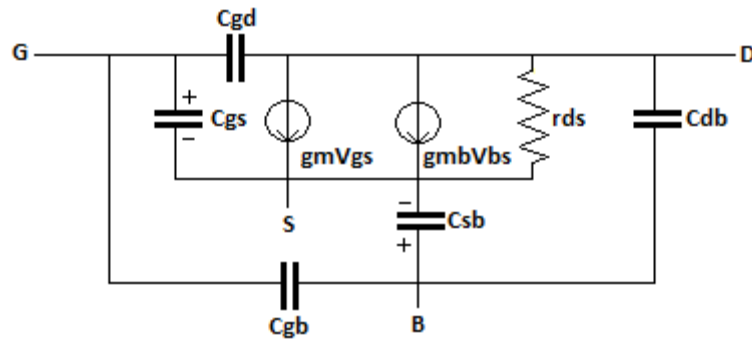


Figura 5.12: Modelo equivalente en pequeña señal de un transistor MOSFET

Observando los dos subcircuitos en los que se ha dividido el amplificador operacional se puede ver que los transistores que lo componen tienen cortocircuitados sus terminales de sustrato (B) y fuente (S), por lo que no existe caída de tensión entre ellos,  $v_{bs} = 0$ , y su modelo equivalente en pequeña señal se puede reducir al presentado en la figura 5.13.

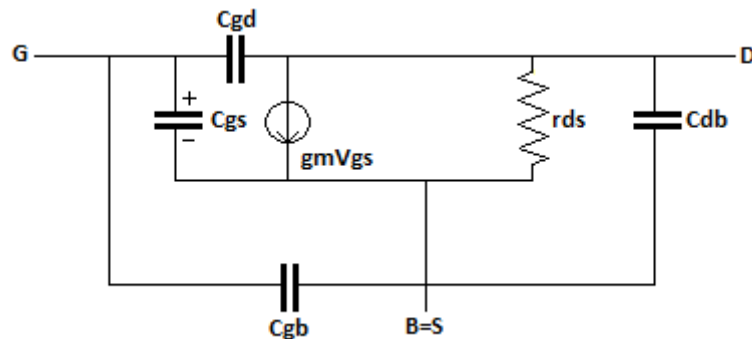


Figura 5.13: Modelo equivalente en pequeña señal de un transistor MOSFET con la fuente y el sustrato conectados entre si

Finalmente, con todas estas aproximaciones, en la figura 5.14 se muestra el modelo equivalente en pequeña señal de los dos subcircuitos iguales e independientes de la figura 5.13. En este modelo se ha incluido el conjunto de resistencia-condensador encargado de sensar la tensión de modo común a la salida ( $R_{CS}$  y  $C_{CS}$ ) para lo cual, como ya se ha comentado, se supone la tensión en modo común constante.

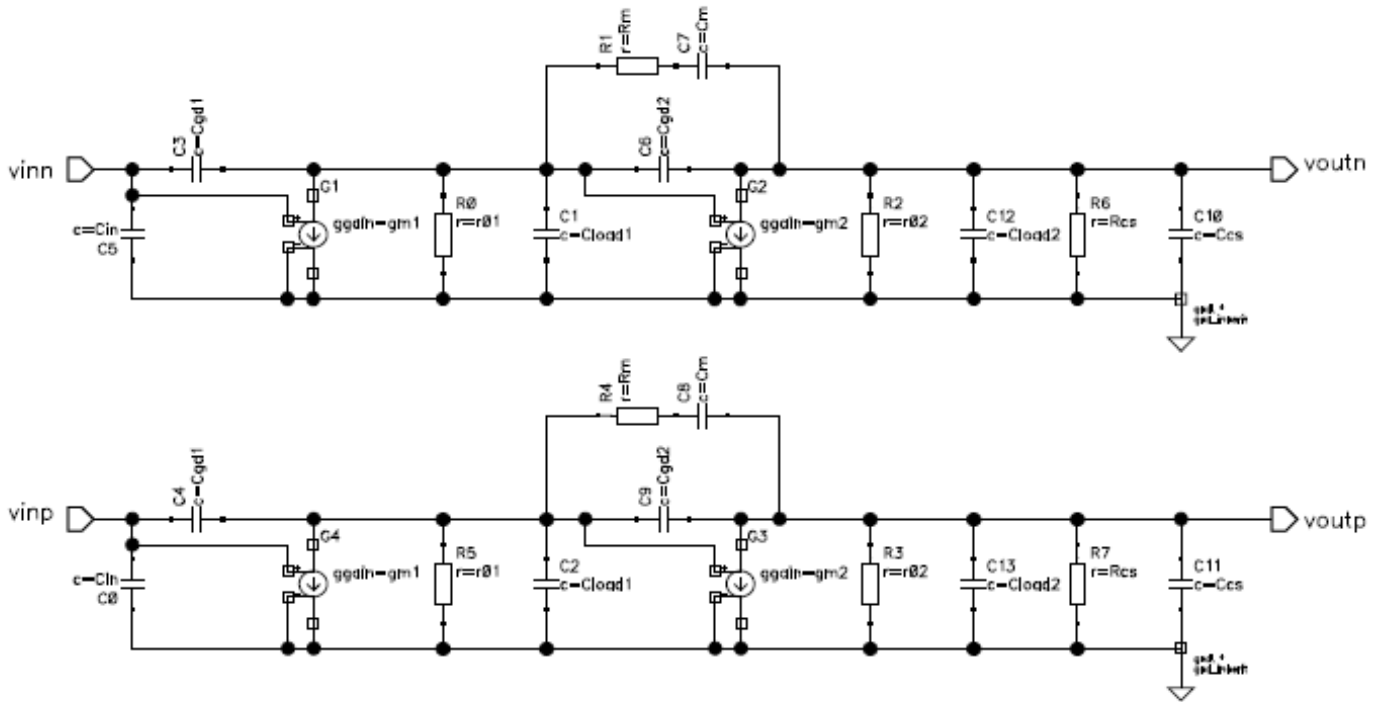


Figura 5.14: Equivalente en pequeña señal completo del amplificador operacional

A continuación se explicará lo que representa cada uno de los elementos que aparecen en la figura 5.14.

- $C_{in}$  (C5 y C0)  $\rightarrow$  representa la capacidad parásita, intrínseca al transistor, entre la puerta y la fuente de los transistores de entrada del par diferencial M1 y M2.

$$C_{in} = C_{gsM1} + C_{gbM1}$$

[5.6]

- $C_{gd1}$  (C3 y C4)  $\rightarrow$  representa la capacidad parásita, intrínseca al transistor, entre la puerta y el drenador de los transistores de entrada del par diferencial, M1 y M2.
- $C_{gd2}$  (C6 y C9)  $\rightarrow$  representa la capacidad parásita, intrínseca al transistor, entre la puerta y el drenador de los transistores de entrada de la etapa de salida, M5 y M6.
- $g_{m1}$  (G1 y G4)  $\rightarrow$  representa la transconductancia de los transistores del par diferencial, M1 y M2.

- $g_{m2}$  (G2 y G3) → representa la transconductancia de los transistores de la etapa de salida, M5 y M6.
- $R_m$  (R1 y R4) → representa la resistencia correspondiente a la red de compensación de Miller.
- $C_m$  (C7 y C8) → representa el condensador correspondiente a la red de compensación de Miller.
- $R_{CS}$  (R6 y R7) → representa la resistencia de las redes de sensado de la tensión de modo común a la salida.
- $C_{CS}$  (C10 y C11) → representa el condensador de las redes de sensado de la tensión de modo común a la salida.

Quedaría por entender lo que representan los elementos  $C_{load1}$ ,  $C_{load2}$ ,  $r_{01}$  y  $r_{02}$ . Para ello se ha de ver cómo sería el modelo equivalente de los transistores M3, M4, M7 y M9 que actúan como cargas activas y que tienen sus terminales de puerta conectados a la fuente y al sustrato. Su representación en pequeña señal sería la mostrada en la figura 5.15.

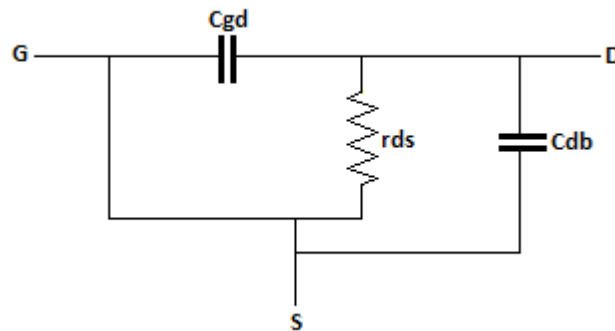


Figura 5.15: Modelo equivalente de pequeña señal de un transistor MOSFET con puerta, fuente y sustrato conectados

Como para estos transistores los terminales de puerta y fuente están conectados a masa, se puede determinar el valor de los elementos indicados anteriormente de la siguiente forma:

- $r_{01}$ (R0 y R5) → representa la resistencia de salida de cada rama del par diferencial de entrada. Su valor vendrá dado por:

$$r_{01} = r_{ds_{M1}} \parallel r_{ds_{M3}} \quad [5.7]$$

- $r_{02}$ (R2 y R3) → representa la resistencia de salida de cada etapa de salida del amplificador. Su valor vendrá dado por:

$$r_{02} = r_{ds_{M5}} \parallel r_{ds_{M7}} \quad [5.8]$$

- $C_{load1}$ (C1 y C2) → representa las capacidades parásitas vistas desde el drenador de los transistores de entrada del par diferencial, M1 y M2. Su valor vendrá dado por:

$$C_{load1} = C_{db_{M1}} + C_{gd_{M3}} + C_{db_{M3}} + C_{gs_{M5}} + C_{gb_{M5}} \quad [5.9]$$

- $C_{load2}$ (C12 y C13) → representa las capacidades parásitas vistas desde el drenador de los transistores de entrada de la etapa de salida, M5 y M6. Su valor vendrá dado por:

$$C_{load2} = C_{db_{M5}} + C_{gd_{M7}} + C_{db_{M7}} \quad [5.10]$$

A continuación se darán valores orientativos a estos parámetros para poder hacer una primera simulación en AC de este modelo en pequeña señal y comprobar así que será un diseño correcto para nuestro amplificador y que cumplirá los requisitos de ganancia y ancho de banda requeridos:

$$BW \geq 600 \text{ MHz}$$

$$Gdc = 40 \text{ dB}$$

Además de las ecuaciones presentadas anteriormente, se deberá hacer uso de las siguientes expresiones para el diseño:

$$f_{BW} = \frac{g_{m1}}{4\pi \cdot C_m} \quad [5.11]$$

Donde:

$f_{BW}$ : ancho de banda de ganancia unidad.

$g_{m1}$ : transconductancia de los transistores que forman el par diferencial de entrada.

$C_m$ : capacidad vista a la salida del par diferencial de entrada que en este caso es el valor de los condensadores de compensación de Miller.

Para que la ganancia total en lazo abierto sea proporcionada en su mayoría por la segunda etapa del amplificador (etapa de ganancia), se impone que:

$$g_{m2} > 4 \cdot g_{m1} \quad [5.12]$$

Donde:

$g_{m1}$ : transconductancia de los transistores que forman el par diferencial de entrada (transistores M1 y M2 de la figura 5.6)

$g_{m2}$ : transconductancia de los transistores que forman la etapa de ganancia/salida (transistores M5 y M6 de la figura 5.6)

Según las ecuaciones 5.11 y 5.12 se tiene:

$$f_{BW} = \frac{g_{m1}}{4\pi \cdot C_m} \rightarrow g_{m1} = f_{BW} \cdot 4\pi \cdot C_m = 600\text{MHz} \cdot 4\pi \cdot 500\text{fF} = 3,77 \text{ m}\Omega^{-1}$$

$$g_{m2} > 4 \cdot g_{m1} \rightarrow g_{m2} = 5 \cdot g_{m1} \rightarrow g_{m2} = 5 \cdot 3,77 \text{ m}\Omega^{-1} = 18,85 \text{ m}\Omega^{-1}$$

El valor de los condensadores de compensación de Miller influirá en la potencia consumida del amplificador y en la constitución de los polos dominantes por lo que no puede tener un valor muy elevado pero tampoco muy pequeño pues ha de ser superior a las capacidades parásitas presentes en el circuito. De este modo, se puede considerar un valor aceptable el siguiente:

$$C_m = 500\text{fF} \quad [5.13]$$

A partir del valor de  $g_{m2}$ , se puede calcular el valor de la resistencia de compensación de Miller,  $R_m$ , mediante la siguiente expresión:

$$R_m = \frac{1}{g_{m2}} = \frac{1}{18,85m\Omega^{-1}} = 53,05 \approx 100\Omega$$

[5.14]

En cuanto a la red de sensado ha de presentar valores de resistencias altos. Se han utilizado los siguientes:

$$R_{CS} = 30K\Omega$$
$$C_{CS} = 200fF$$

[5.15]

El resto de parámetros se aproximarán inicialmente con los siguientes valores:

- $C_{in} = 15fF$
- $C_{gd1} = 5fF$
- $C_{gd2} = 40fF$
- $r_{01} = 1k\Omega$
- $r_{02} = 100k\Omega$
- $C_{load1} = 150fF$
- $C_{load2} = 50fF$

#### 5.4.2 Test - bench utilizado para simulación en AC

En este modelo, simplemente se hará una validación del mismo en AC para comprobar que los valores orientativos tomados son válidos para el desarrollo del amplificador a nivel de transistor. El test-bench utilizado en este caso para la simulación es el siguiente:

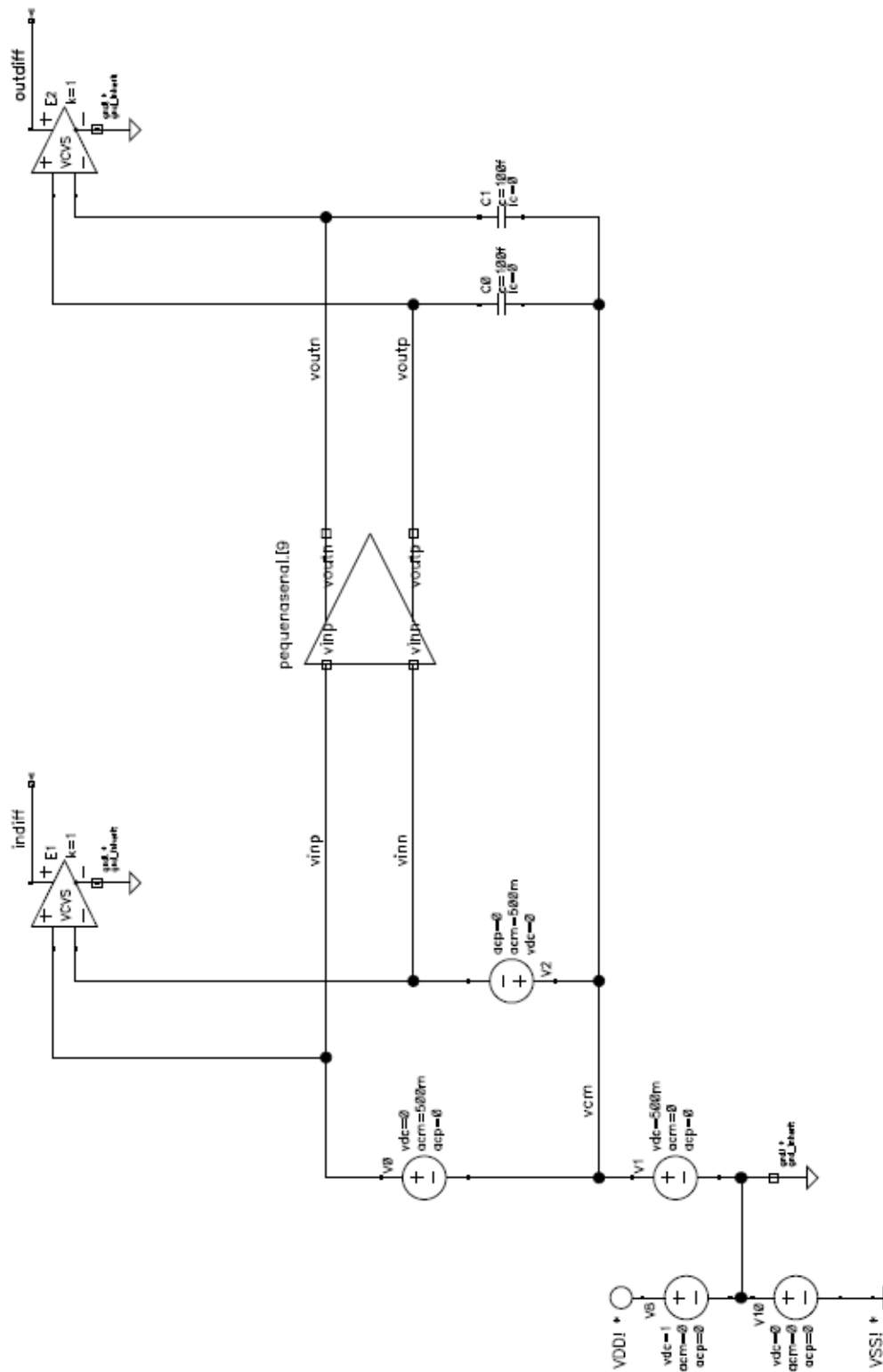


Figura 5.16: Test-bench para simulación AC del modelo en pequeña señal del amplificador operacional

### 5.4.3 Validación del modelo en pequeña señal

La simulación en AC realizada nos muestra el siguiente diagrama de Bode:

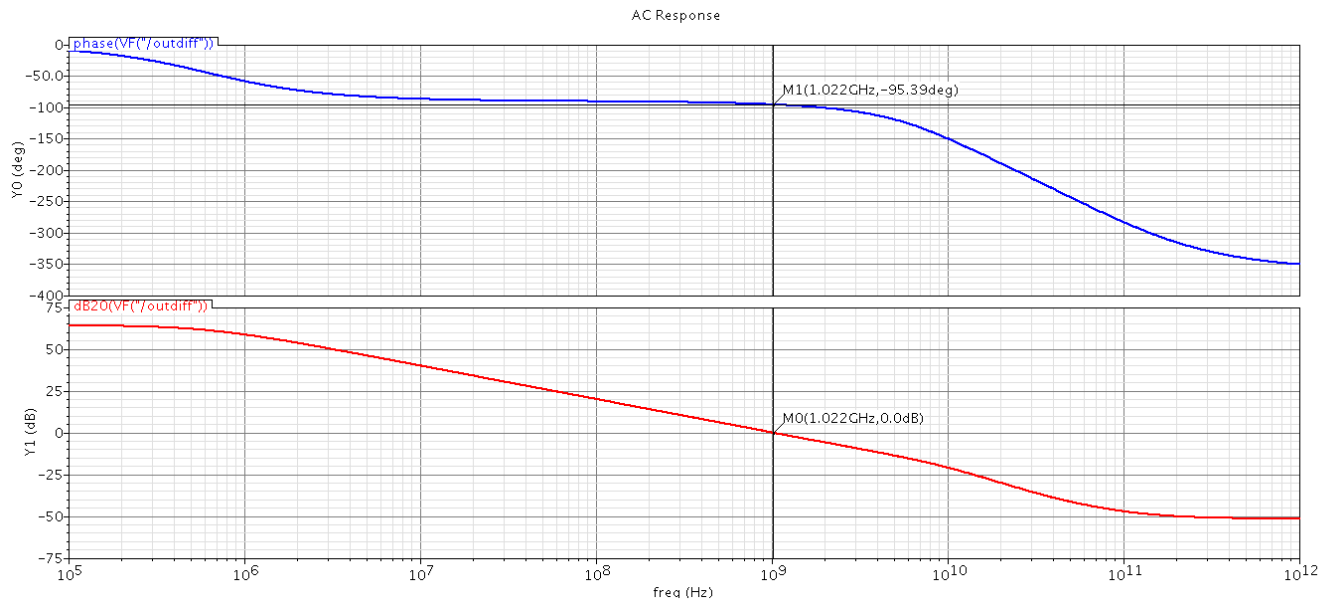


Figura 5.17: Simulación en AC modelo equivalente en pequeña señal de amplificador operacional

Como se puede ver se tienen los siguientes valores que cumplen con las especificaciones requeridas:

- *Ganancia* = 64.19 dB
- $G_{x}BW = 1.022 \text{ GHz} \rightarrow$  Mayor de 600 MHz como se pretendía
- Para  $G_{x}BW = 600 \text{ MHz} \rightarrow MF = 180^\circ - 95.39^\circ = 84.61^\circ$

Esto hace pensar que siguiendo por este camino de diseño se van a cumplir todas las condiciones impuestas para el mismo cuando se realice el diseño a nivel de transistor completo que es lo que se pasará a realizar en el siguiente apartado de este capítulo.



## 5.5 Diseño a nivel de transistor del amplificador operacional

A partir de ahora se va a pasar a diseñar el amplificador operacional dando valores concretos para cada uno de los elementos que componen dicha estructura. Para ello se hará uso de diversas ecuaciones matemáticas que aproximan de manera bastante exacta el funcionamiento de los amplificadores en general y de los transistores en particular.

Las especificaciones que se tratarán de conseguir en este diseño, tal y como ya se ha comentado, son las siguientes:

$$BW \geq 600 \text{ MHz}$$

$$Gdc = 40 \text{ dB}$$

Dichas requisitos vienen impuestos por el amplificador operacional que se desea diseñar y que ya se han detallado anteriormente (capítulo 4).

Las ecuaciones que se utilizarán para este amplificador operacional completamente diferencial de dos etapas son las siguientes:

$$f_{BW} = \frac{g_{m1}}{4\pi \cdot C_m}$$

Esta ecuación y sus parámetros fueron especificados en el apartado anterior (ecuación 5.11) para la justificación del diseño con el modelo previo en pequeña señal.

Para los transistores MOSFET funcionando en su región de saturación se tienen las siguientes identidades [7]:

$$I_{DQ} = \frac{\mu \cdot C_{ox} \cdot W}{2 \cdot L} (V_{GS} - V_{th})^2 = \frac{K}{2} \cdot \frac{W}{L} (V_{GS} - V_{th})^2 \quad [5.16]$$

$$\begin{aligned} g_m &= \mu \cdot C_{ox} \cdot \frac{W}{L} (V_{GS} - V_{th}) = K \cdot \frac{W}{L} (V_{GS} - V_{th}) = \sqrt{2 \cdot I_{DQ} \cdot \mu \cdot C_{ox} \cdot \frac{W}{L}} \\ &= \sqrt{2 \cdot I_{DQ} \cdot K \cdot \frac{W}{L}} \end{aligned} \quad [5.17]$$

$$\frac{g_m}{I_{DQ}} = \frac{2}{V_{GS} - V_{th}} \quad [5.18]$$

Donde:

$I_{DQ}$ : corriente de drenador en el punto de polarización del transistor.

$\mu$ : movilidad superficial de los electrones.

$C_{ox}$ : capacidad del transistor por unidad de área.

$W$ : ancho del canal.

$L$ : longitud del canal.

$K$ : constante =  $\mu \cdot C_{ox}$ .

$V_{GS}$ : tensión de puerta-fuente del transistor.

$V_{th}$ : tensión umbral mínima necesaria para que se establezca un canal y la corriente a través del transistor empiece a fluir.

$g_m$ : transconductancia del transistor.

Además de estas fórmulas se han de tener en cuenta los siguientes criterios de diseño:

- Para tener la garantía de que todos los transistores se mantienen en sus regiones de saturación durante su funcionamiento, estos deben cumplir que:

$$(V_{GS} - V_{th}) > 200 \text{ mV}$$

$$V_{DS} > 2 \cdot V_{DSsat}$$

[5.19]

Donde:

$V_{DS}$ : tensión de drenador-fuente del transistor.

$V_{DSsat}$ : tensión de drenador-fuente mínima para que el transistor se encuentre en su región de saturación.

- Tal y como se especificó y reflejó con la ecuación 5.12, para que la ganancia total en lazo abierto sea proporcionada en su mayoría por la segunda etapa del amplificador (etapa de ganancia), se impone que:

$$g_{m2} > 4 \cdot g_{m1}$$

Teniendo en cuenta estas fórmulas, ya se puede comenzar con el diseño del amplificador a tratar. Como ya se justificó en el apartado anterior, el valor de los condensadores de compensación de Miller influirán en la potencia consumida del amplificador y en la constitución de los polos dominantes por lo que no puede tener un valor muy elevado pero tampoco muy pequeño pues ha de ser superior a las capacidades parásitas presentes en el circuito. De este modo, se consideró un valor aceptable el indicado en la ecuación 5.13.

$$C_m = 500fF$$

Según el criterio de diseño de la ecuación 5.19 se va a fijar lo siguiente:

$$(V_{GS} - V_{th}) > 200mV \rightarrow (V_{GS} - V_{th}) = 220mV$$

Además, para esta tecnología se tienen los siguientes de valores de K:

$$K_N = 232,5\mu A$$

$$K_P = 97,5\mu A$$

[5.20]

Suponiendo un  $BW = 600MHz$  se tiene que, tal y como se reflejó en el apartado anterior:

$$f_{BW} = \frac{g_{m1}}{4\pi \cdot C_m} \rightarrow g_{m1} = f_{BW} \cdot 4\pi \cdot C_m = 600MHz \cdot 4\pi \cdot 500fF = 3,77m\Omega^{-1}$$

A partir de este valor se puede hallar la corriente de polarización de los transistores de entrada M1 y M2:

$$I_{DQ_{M1}} = I_{DQ_{M2}} = \frac{1}{2} \cdot g_{m1} \cdot (V_{GS} - V_{th}) = \frac{1}{2} \cdot 3,77m\Omega^{-1} \cdot 220mV = 414,7\mu A$$

Para poder hacer frente a posibles pérdidas del circuito real, se tomará una corriente de polarización superior a la calculada en la expresión anterior:

$$I_{DQ_{M1}} = I_{DQ_{M2}} = 600\mu A$$

Con este valor ya se puede tener una aproximación del valor que ha de tener la relación  $(W/L)$  de cada uno de los transistores que forman parte del par diferencial de entrada:

$$I_{DQ_{M1}} = I_{DQ_{M2}} = \frac{K_N}{2} \cdot \left(\frac{W}{L}\right)_{M1} (V_{GS} - V_{th})^2$$

[5.21]

$$\left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M2} = \frac{I_{DQM1} \cdot 2}{k_N \cdot (0,21)^2} = \frac{600 \cdot 2}{232,5 \cdot (0,21)^2} = 117,03 \approx 118$$

Por M3 y M4 pasará a misma corriente que por M1 y M2 sólo que serán transistores tipo P y no tipo N por lo que:

$$\left(\frac{W}{L}\right)_{M3} = \left(\frac{W}{L}\right)_{M4} = \frac{I_{DQM1} \cdot 2}{k_P \cdot (0,21)^2} = \frac{600 \cdot 2}{97,5 \cdot (0,21)^2} = 279,08 \approx 280$$

Una vez que se tienen estas relaciones sólo queda imponer el valor concreto de la  $W$  y  $L$ . En principio, el mínimo valor que puede tomar la longitud del canal  $L$  viene impuesto por la tecnología y será de 65nm. Sin embargo, será necesario subirlo ligeramente para así poder alcanzar el nivel de ganancia en lazo abierto que se exige (en torno a 40 dB). De este modo se establecen los siguientes valores:

$$L_{M1} = L_{M2} = 100nm \rightarrow W_{M1} = W_{M2} = 11,8\mu$$

$$L_{M3} = L_{M4} = 90nm \rightarrow W_{M1} = W_{M2} = 25,2\mu$$

También se especificó en el apartado anterior, con la ecuación 5.12 que:

$$g_{m2} > 4 \cdot g_{m1}$$

Y tal y como se indicó se toma  $g_{m2} = 5 \cdot g_{m1}$  y por tanto se tenía:

$$g_{m2} = 5 \cdot 3,77 m\Omega^{-1} = 18,85 m\Omega^{-1}$$

Y con este valor se puede pasar a calcular la corriente de polarización de los transistores de la etapa de salida mediante la siguiente fórmula:

$$I_{DQM5} = I_{DQM6} = \frac{1}{2} \cdot g_{m2} \cdot (V_{GS} - V_{th}) = \frac{1}{2} \cdot 18,85 m\Omega^{-1} \cdot 220mV = 2,07mA$$

Este valor, por simulación, se deduce que ha de ser también ligeramente superior, por tanto se escogerán los siguientes valores:

$$I_{DQM5} = I_{DQM6} = 3mA$$

$$\left(\frac{W}{L}\right)_{M5} = \left(\frac{W}{L}\right)_{M6} = \frac{I_{DQM5} \cdot 2}{k_P \cdot (0,21)^2} = \frac{3000 \cdot 2}{97,5 \cdot (0,21)^2} = 1395,4$$

Tras varias simulaciones se llegó a la conclusión de que los valores de  $W$  y  $L$  más apropiados para estos transistores son:

$$L_{M5} = L_{M6} = 100nm \rightarrow W_{M5} = W_{M6} = 139,54\mu$$

A partir del valor de  $g_{m2}$ , se calculaba el valor de  $R_m$  según se indicó en la ecuación 5.14 y se obtenía el siguiente valor:

$$R_m = \frac{1}{g_{m2}} = \frac{1}{18,85m\Omega^{-1}} = 53,05 \approx 100\Omega$$

El circuito de amplificación del error de la tensión de modo común a la salida, formado por los transistores M10, M11, M12 y M13 tendrá idénticas dimensiones que los correspondientes al par diferencial de entrada, M1, M2, M3 y M4 respectivamente:

$$L_{M10} = L_{M11} = 100nm \rightarrow W_{M10} = W_{M11} = 11,8\mu$$

$$L_{M12} = L_{M13} = 90nm \rightarrow W_{M12} = W_{M13} = 25,2\mu$$

La red de sensado según lo visto, debe presentar valores de resistencias altos. Se han utilizado los siguientes valores ya indicados en la ecuación 5.15 y que se vuelven a reflejar aquí:

$$R_{CS} = 30K\Omega$$

$$C_{CS} = 200fF$$

En este momento ya sólo faltan por diseñar los transistores que actúan como fuente de corriente. En el esquema de la figura 5.6 se presenta una  $I_{ref}$  que será la corriente de referencia a la entrada. Dicha corriente no ha de ser muy alta para evitar un consumo grande, y se ha fijado su valor en:

$$I_{ref} = 25\mu A$$

Se ha de tener en cuenta las siguientes identidades:

$$I_{DQ_{M0}} = 2 \cdot I_{DQ_{M1}} = 2 \cdot I_{DQ_{M2}} = 2 \cdot I_{DQ_{M3}} = 2 \cdot I_{DQ_{M4}} = 1200\mu A$$

$$I_{DQ_{M8}} = 2 \cdot I_{DQ_{M10}} = 2 \cdot I_{DQ_{M11}} = 2 \cdot I_{DQ_{M12}} = 2 \cdot I_{DQ_{M13}} = 1200\mu A$$

$$I_{DQ_{M7}} = I_{DQ_{M9}} = I_{DQ_{M5}} = I_{DQ_{M6}} = 3mA$$

Fijando:

$$L_{M14} = 100nm$$

$$W_{M14} = 1\mu$$

Se tiene que:

$$\frac{1200\mu A}{25\mu A} = 48 \rightarrow W_{M0} = W_{M8} = 48 \cdot W_{M14}$$

$$\frac{3mA}{25\mu A} = 120 \rightarrow W_{M7} = W_{M9} = 120 \cdot W_{M14}$$

Y, por tanto:

$$L_{M0} = L_{M8} = L_{M7} = L_{M9} = L_{M14} = 100nm$$

$$W_{M0} = W_{M8} = 48 \cdot 1\mu = 48\mu$$

$$W_{M7} = W_{M9} = 120 \cdot 1\mu = 120\mu$$

Una vez diseñado el amplificador operacional con los valores aquí reflejados, se harán las simulaciones correspondientes para validar dicho diseño.

## 5.6 Validación del modelo a nivel de transistor

En este punto, se pasarán a realizar las mismas simulaciones que se realizaron a los amplificadores operacionales diseñados con verilog-A en el capítulo anterior. De esta forma se validará el amplificador operacional diseñado a nivel de transistor y se comprobará que cumple con las especificaciones deseadas.

La única diferencia será que en este caso a nivel de transistor, el valor de la frecuencia de entrada influirá en la distorsión provocada. Es por esto, que se realizará un análisis de la FFT para un barrido de frecuencias y se presentará el valor de distorsión armónica total (THD) para cada uno de ellos. De esta forma quedará reflejada la influencia de la frecuencia en la distorsión.

### 5.6.1 Test - bench utilizados en simulaciones

Al igual que en el capítulo cuatro se realizarán tres tipos de simulaciones y por tanto se hará uso de tres test-bench distintos: uno para la simulación en modo AC, otro para simulaciones con el amplificador en modo buffer y un tercero para simulaciones del amplificador operacional como integrador.

En la figura 5.18 se muestra el test-bench usado para la simulación en AC en la cual se puede ver como se introduce a la entrada la señal de modo común de 0,5 V y con entrada y salida completamente diferenciales.

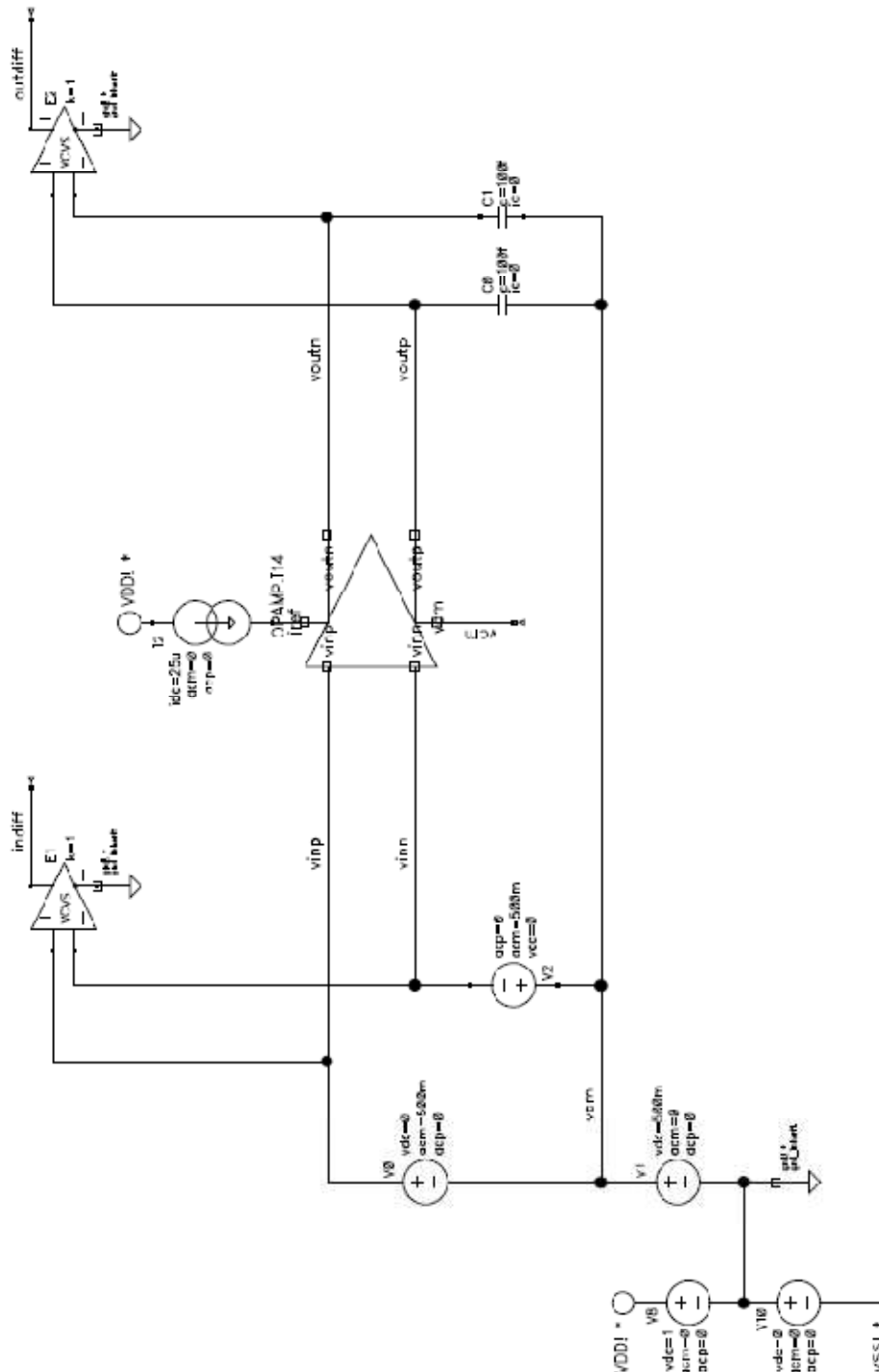


Figura 5.18: Test-bench para simulaciones AC del modelo a nivel de transistor del amplificador operacional

En la figura 5.19 se muestra el test-bench asociado a las simulaciones en modo transitorio y análisis de FFT. Igualmente se tiene tanto entrada como salida completamente diferenciales. A la entrada se tiene una señal sinusoidal con una frecuencia de valor *frequin* y amplitud de entrada de pico de valor *amp* sobre un modo común de 0,5 V

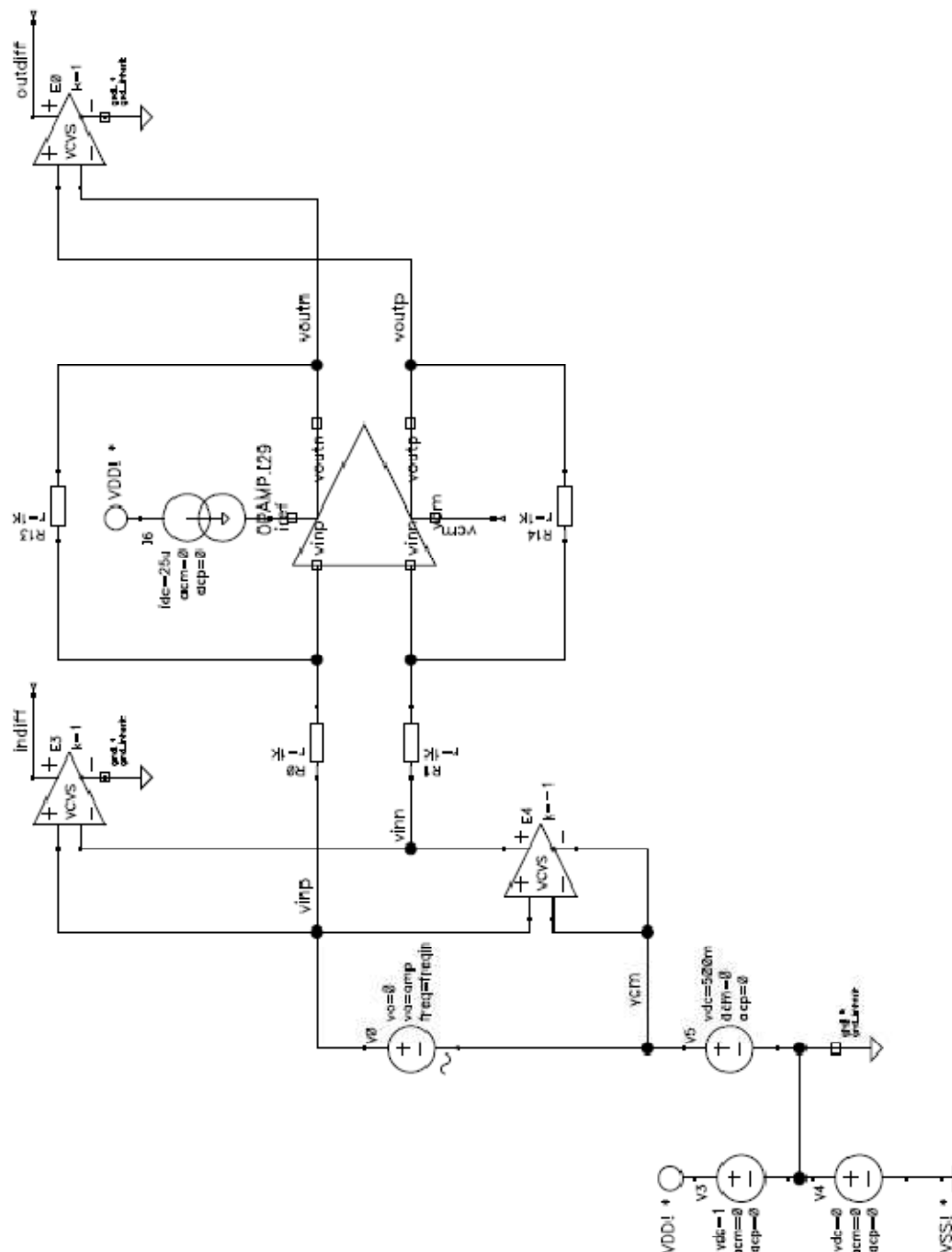


Figura 5.19: Test-bench para simulación de amplificador en modo buffer del modelo a nivel de transistor del amplificador operacional



Finalmente, en la figura 5.20 se muestra el test-bench que se utilizará para la simulación del funcionamiento del amplificador operacional como integrador. Se tiene en este caso como señal de entrada una señal de tipo escalón y de igual forma presenta una entrada y una salida completamente diferenciales.

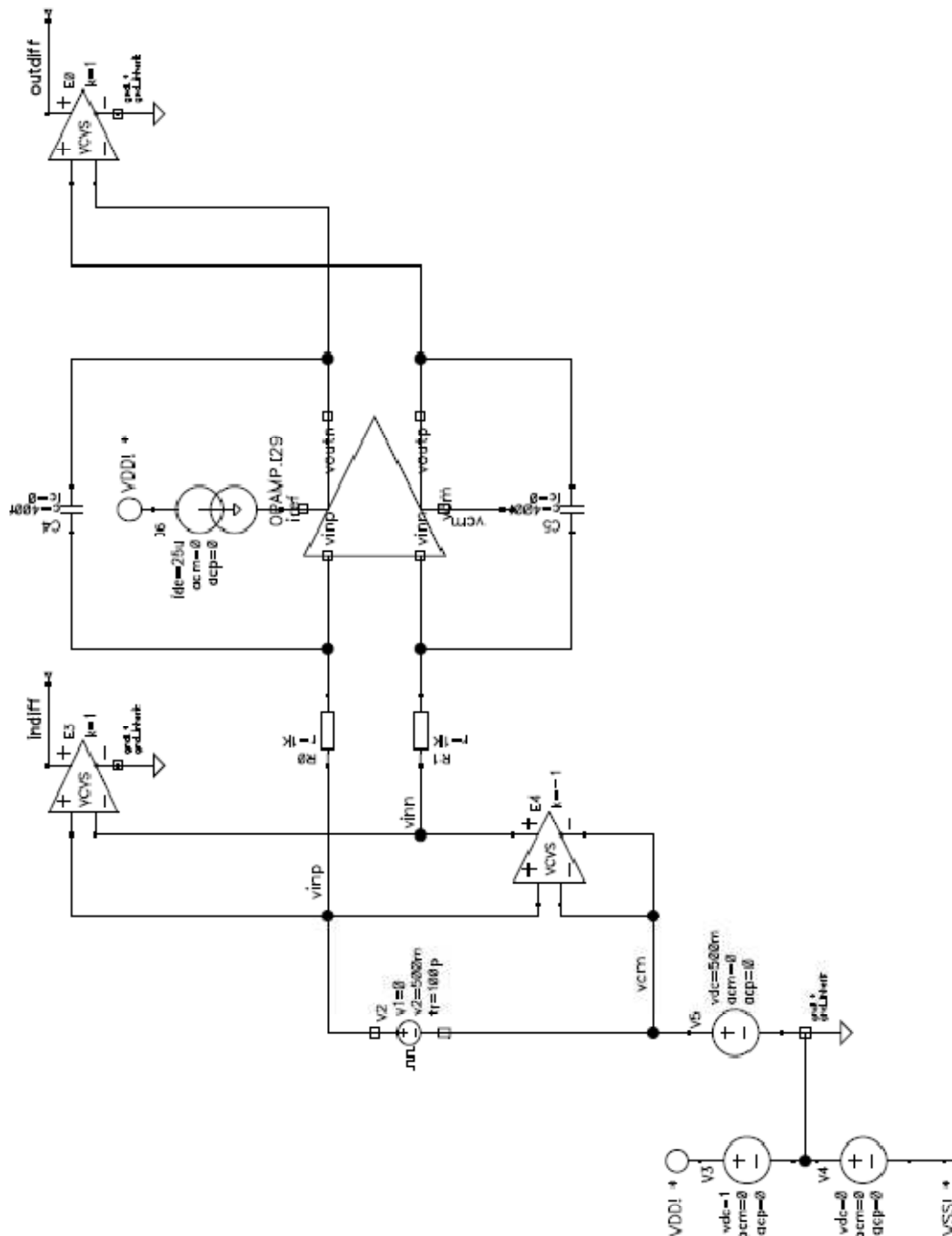


Figura 5.20: Test-bench para simulación de amplificador en modo integrador del modelo a nivel de transistor del amplificador operacional

En este caso, dentro del módulo llamado OPAMP se encuentra el modelo a nivel de transistor diseñado e indicado en la figura 5.6.

### 5.6.2 Resultados obtenidos del modelo de amplificador operacional a nivel de transistor

Se muestran en este punto los resultados para cada una de las simulaciones propuestas anteriormente con el fin de justificar y validar el correcto funcionamiento del amplificador operacional diseñado a nivel de transistor.

#### Análisis en DC

Lo primero es realizar un análisis en DC del amplificador operacional. Realizando una simulación en dicho modo se pueden obtener los siguientes resultados en los valores de los transistores en los que se pueden comprobar sus correctos valores en función del diseño establecido.

*Transistores de la etapa diferencial de entrada:*

	M1	M2	M3	M4
$I_D (\mu A)$	271,98	271,98	-271,92	-271,92
$I_{DS} (\mu A)$	271,98	271,98	-271,92	-271,92
$g_m (m\Omega^{-1})$	3,92	3,92	3,93	3,93
$V_{GS} (mV)$	447,43	447,43	-461,02	-461,02
$V_{th} (mV)$	348,82	348,82	-376,12	-376,12
$V_{DS} (mV)$	430,54	430,54	-516,90	-516,90
$V_{DSsat} (mV)$	92,79	92,79	-95,89	-95,89
$C_{db} (fF)$	1	1	-1	-1
$C_{gb} (fF)$	2	2	-2	-2
$C_{gd} (fF)$	4	4	-7	-7
$C_{gs} (fF)$	12	12	-20	-20
Región	Saturación	Saturación	Saturación	Saturación

Tabla 5.3: Resultados de análisis en DC de los transistores de etapa de entrada

*Transistores de la etapa de sensado de modo común:*

	M10	M11	M12	M13
$I_D (\mu A)$	282,85	260,38	-282,85	-260,37
$I_{DS} (\mu A)$	282,85	260,38	-282,85	-260,37
$g_m (m\Omega^{-1})$	4,02	3,82	4,01	3,82
$V_{GS} (mV)$	447,54	441,53	-466,47	-461,02
$V_{th} (mV)$	348,70	348,67	-376,37	-376,39
$V_{DS} (mV)$	481,07	486,52	-466,47	-461,02
$V_{DSsat} (mV)$	92,91	89,66	-98,97	-95,70
$C_{db} (fF)$	-1	-1	-1	-1
$C_{gb} (fF)$	-1	-1	-2	-2
$C_{gd} (fF)$	-4	-4	-7	-7
$C_{gs} (fF)$	-12	-12	-20	-20
Región	Saturación	Saturación	Saturación	Saturación

Tabla 5.4: Resultados de análisis en DC de los transistores de sensado del modo común

*Transistores de la etapa de ganancia/salida:*

	M5	M6
$I_D (mA)$	-2,88	-2,88
$I_{DS} (mA)$	-2,88	-2,88
$g_m (m\Omega^{-1})$	28,60	28,60
$V_{GS} (mV)$	-516,9	-516,9
$V_{th} (mV)$	-364,7	-364,7
$V_{DS} (mV)$	-505,9	-505,9
$V_{DSsat} (mV)$	-138,1	-138,1
$C_{db} (fF)$	-7	-7
$C_{gb} (fF)$	-10	-10
$C_{gd} (fF)$	-38	-38
$C_{gs} (fF)$	-136	-136
Región	Saturación	Saturación

Tabla 5.5: Resultados de análisis en DC de los transistores de la etapa de ganancia/salida

### Transistores de los espejos de corriente:

	M0	M8	M14	M7	M9
$I_D$ (mA)	0,543	0,543	24,78	2,88	2,88
$I_{DS}$ (mA)	0,543	0,543	24,78	2,88	2,88
$g_m$ ( $m\Omega^{-1}$ )	7,16	7,14	345,30	40,98	40,98
$V_{GS}$ (mV)	447,49	447,49	447,49	447,49	447,49
$V_{th}$ (mV)	350,12	350,12	343,27	349,32	349,32
$V_{DS}$ (mV)	52,57	52,46	447,49	494,09	494,09
$V_{DSsat}$ (mV)	92,09	92,09	96,14	92,53	92,53
$C_{db}$ (fF)	-3	-3,26	-1	-5	-5
$C_{gb}$ (fF)	-4	-4	-1	-13	-13
$C_{gd}$ (fF)	-33	-33	-1	-35	-35
$C_{gs}$ (fF)	-38	-38	-1	-115	-115
Región	Saturación	Saturación	Saturación	Saturación	Saturación

Tabla 5.6: Resultados de análisis en DC de los transistores que forman los espejos de corriente

Además se podría hacer una comparación de los valores que se obtendrían si representáramos con estos valores el modelo en pequeña señal con los que se obtuvieron como primera aproximación en el apartado 5.4.1 y que eran los siguientes:

- $g_{m1} = 3,77 m\Omega^{-1}$
- $g_{m2} = 18.85 m\Omega^{-1}$
- $C_m = 500 fF$
- $R_m = 100\Omega$
- $C_{CS} = 200 fF$
- $R_{CS} = 30 K\Omega$
- $C_{in} = 15 fF$
- $C_{gd1} = 5 fF$
- $C_{gd2} = 40 fF$
- $r_{01} = 1 k\Omega$
- $r_{02} = 100 k\Omega$
- $C_{load1} = 150 fF$
- $C_{load2} = 50 fF$

Los valores que se obtendrían de los mismos tras el análisis en DC del modelo a nivel de transistor serían los siguientes:

- $g_{m1} = 3,92 \text{ m}\Omega^{-1}$
- $g_{m2} = 28,60 \text{ m}\Omega^{-1}$
- $C_m = 500 \text{ fF}$
- $R_m = 100 \Omega$
- $C_{CS} = 200 \text{ fF}$
- $R_{CS} = 30 \text{ K}\Omega$
- $C_{in} = 13 \text{ fF}$
- $C_{gd1} = 4 \text{ fF}$
- $C_{gd2} = 38 \text{ fF}$
- $r_{o1} = 862.96 \Omega$
- $r_{o2} = 86.597 \text{ k}\Omega$
- $C_{load1} = 153 \text{ fF}$
- $C_{load2} = 48 \text{ fF}$

Como se puede observar son valores muy parecidos los obtenidos con el modelo diseñado a nivel de transistor, con lo que se puede seguir afirmando que nos encontramos ante un modelo válido de diseño.

### Simulación en AC

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura 5.21.

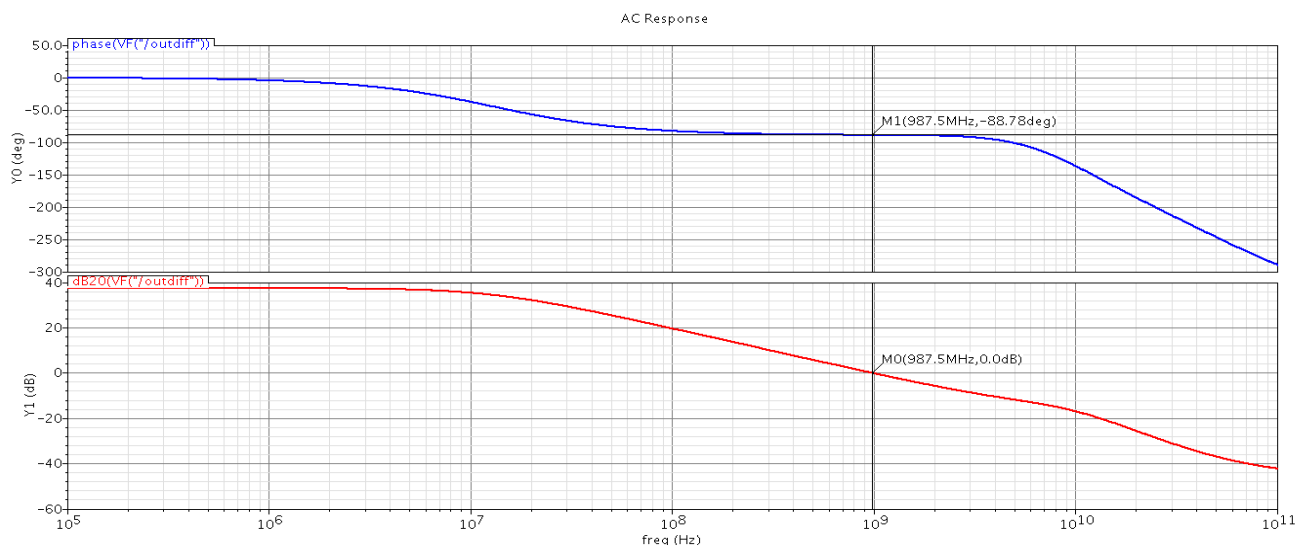


Figura 5.21: Simulación en AC modelo a nivel de transistor de amplificador operacional

Se puede ver como cumple las especificaciones requeridas, presentando los siguientes valores:

- $Ganancia \approx 40 \text{ dB}$
- $GxBW = 987.5 \text{ Hz} \rightarrow$  Es mayor de 600 MHz como se pretendía
- Para  $GxBW = 600 \text{ MHz} \rightarrow MF = 180^\circ - 88,78^\circ = 91,22^\circ \rightarrow$  Es mayor que los  $70^\circ$  que se pretendían por lo que mejora su condición de estabilidad.

Simulación transitoria con el amplificador operacional funcionando en modo buffer:

- Respuesta temporal para  $f_{reqin} = 10 \text{ MHz}$  y  $amp = 50 \text{ mV}$

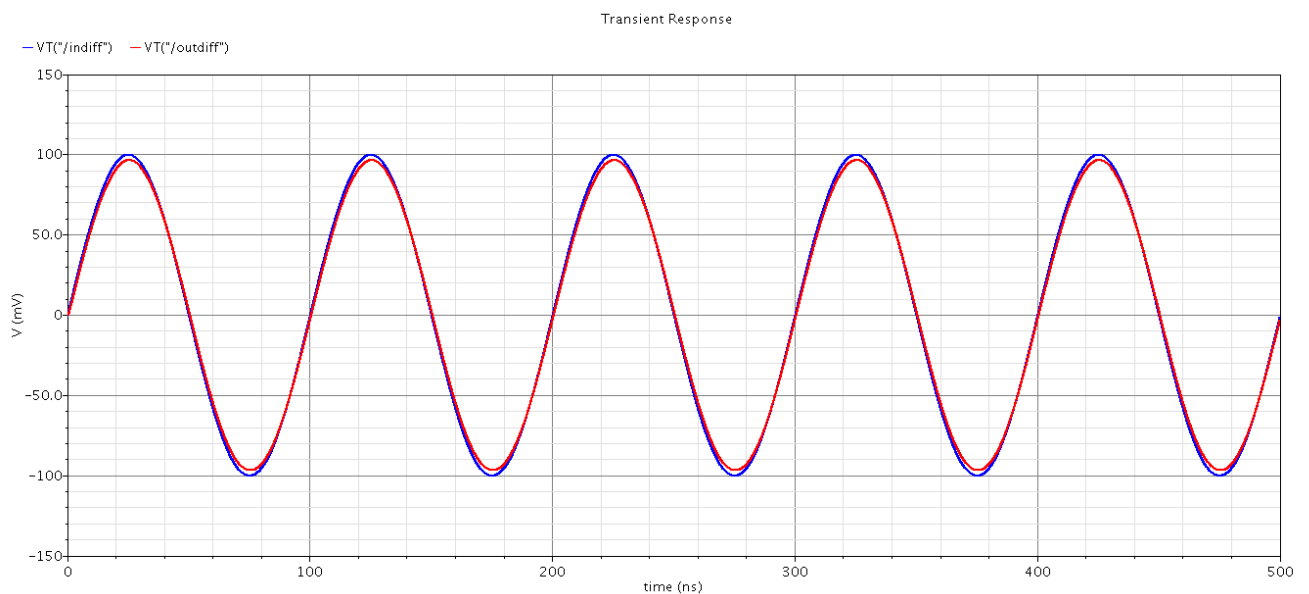


Figura 5.22: Respuesta temporal del modelo a nivel de transistor del amplificador operacional en modo buffer con  $f_{reqin}=10 \text{ MHz}$  y  $amp=50 \text{ mV}$

- Respuesta temporal para  $f_{reqin} = 300\text{MHz}$  y  $amp = 50\text{mV}$

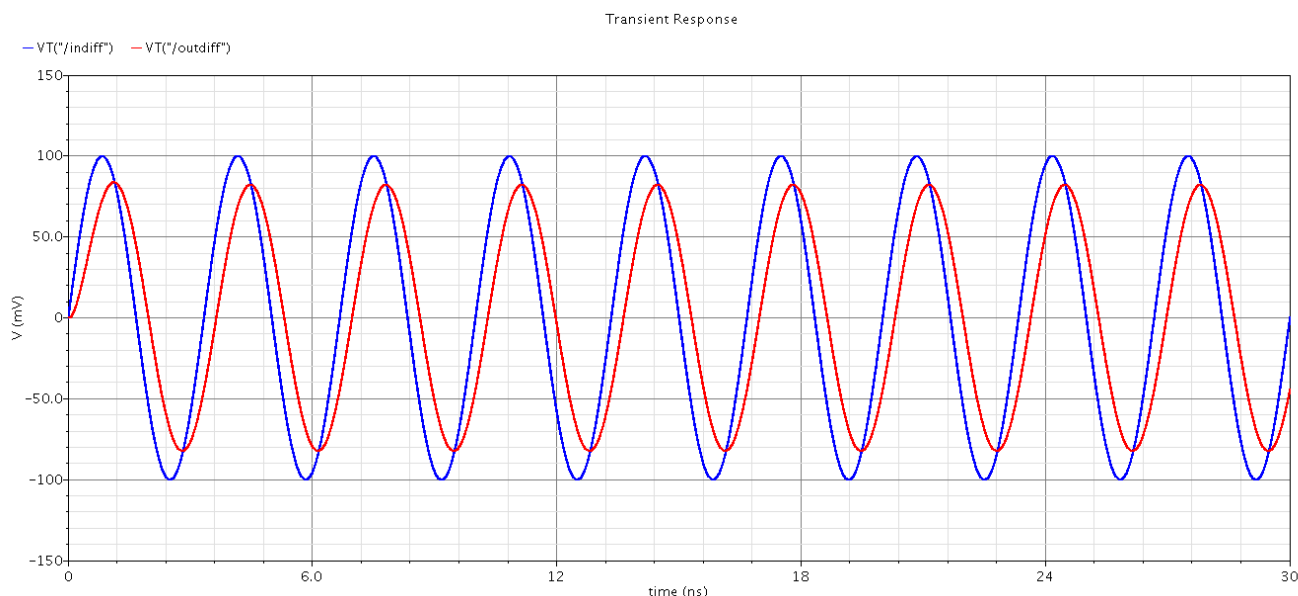


Figura 5.23: Respuesta temporal del modelo a nivel de transistor del amplificador operacional en modo buffer con  $f_{reqin}=300\text{MHz}$  y  $amp=50\text{mV}$

De igual forma que los modelos diseñados a nivel de sistema y tal y como era de esperar, se puede ver que para una frecuencia por debajo del  $G_{x}BW$  de este amplificador operacional, la respuesta a la salida es la misma señal de entrada por lo que actúa como un seguidor de manera correcta.

Al aumentar la frecuencia de la señal de entrada y acercarnos al  $G_{x}BW$ , se produce una disminución de la amplitud de la señal de salida frente a la de entrada así como un desfase entre ambas.

Cabe ahora realizar un análisis de la FFT con esta configuración. En este modelo influirá el valor de la frecuencia de la señal de entrada en la distorsión a la salida por lo que se obtendrán resultados para diversos valores de la frecuencia de la señal de entrada. Se obtiene lo siguiente:

	Tono principal (dB)	Segundo tono (dB)	THD (dB)
2 MHz	-20,29	-118,2	-97,21
4 MHz	-20,29	-105,6	-85,31
8 MHz	-20,29	-94,05	-73,73
10 MHz	-20,29	-92,48	-72,19

Tabla 5.2: Resultados análisis FFT del modelo a nivel de transistor de amplificador operacional

La representación gráfica de estos valores se muestra en la figura 5.24 y de igual forma que en simulaciones a nivel de diseño de sistema, se puede comprobar que también el valor de la diferencia entre la amplitud del tono principal y del primer armónico se va reduciendo a medida que aumenta la frecuencia por lo que el funcionamiento del amplificador operacional diseñado a nivel de transistor se puede considerar válido también en este aspecto.

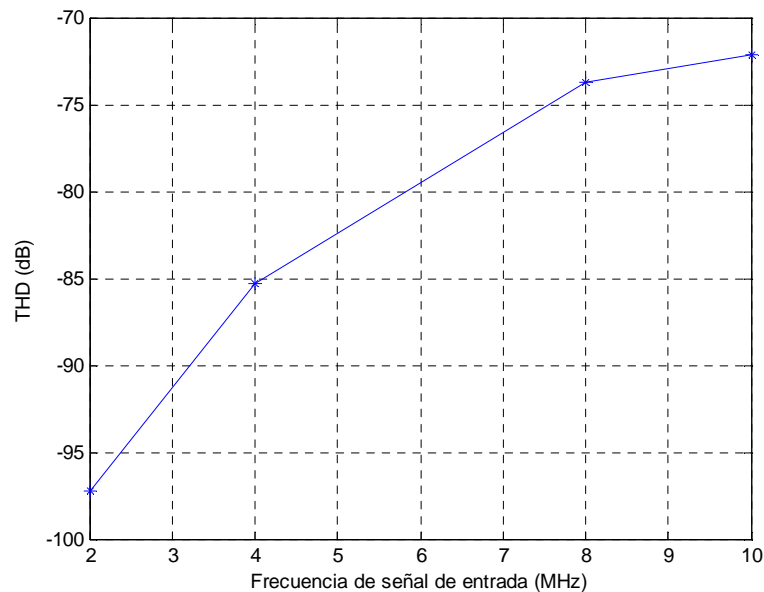


Figura 5.24: THD VS Frecuencia de entrada del modelo a nivel de transistor del amplificador operacional

#### Simulación transitoria con el amplificador operacional funcionando en modo integrador:

En figura 5.25 se muestra la respuesta del amplificador operacional diseñado cuando se realizan la simulación en su modo de funcionamiento como integrador. Se puede ver su correcta integración cuando la señal de entrada es un escalón.



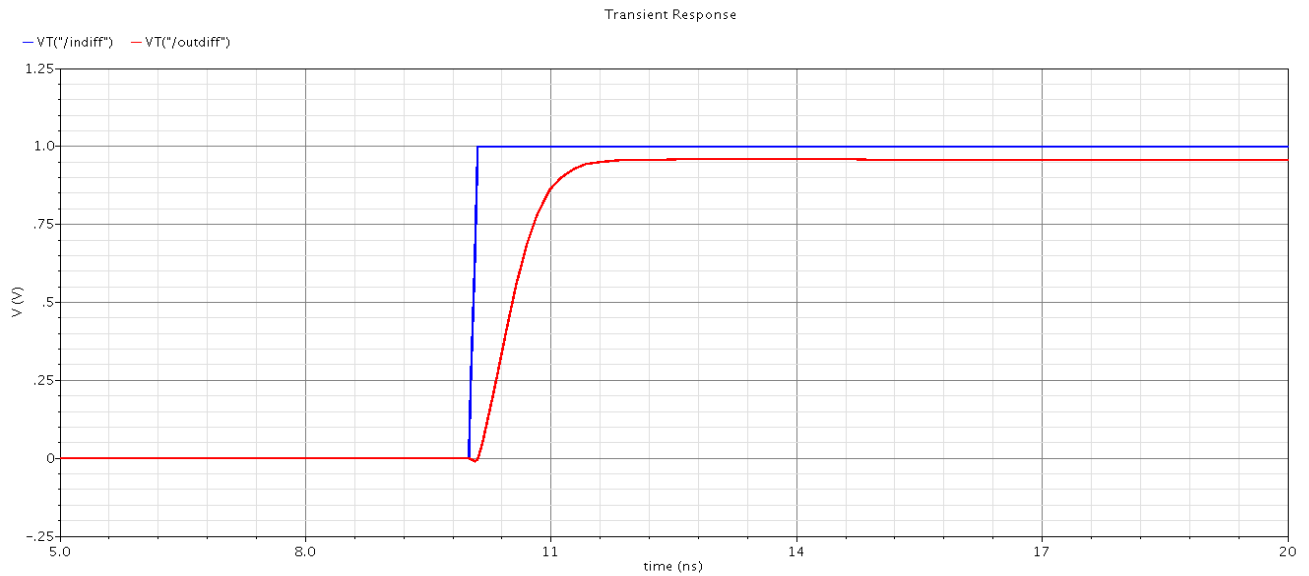


Figura 5.25: Respuesta temporal del modelo a nivel de transistor de amplificador operacional en modo integrador

Igual que en el caso del modelo a nivel de sistema, se hará un zoom de la figura 5.25 para analizar el error de ganancia que, como ya se dijo, tendrá que ver con la pendiente de la señal de salida del amplificador operacional funcionando como integrador y el retardo introducido.

Como se puede ver, en la figura 4.17, se presenta un pendiente de la señal de salida más similar a la de la señal de entrada que la que se muestra en la figura 5.26 por lo que el error de ganancia será menor en el diseño a nivel de sistema que en el diseño a nivel de transistor. Esto es evidente debido a los factores considerados en cada uno de los diseños. Mientras que a nivel de sistema se pueden considerar casi todos los factores como ideales, en el diseño a nivel de transistor no se puede conseguir esto por la influencia de otros determinados parámetros. Esto es un hecho con el que se contaba en el diseño y que muestra la fiabilidad y diseño correcto de este modelo a nivel de transistor.

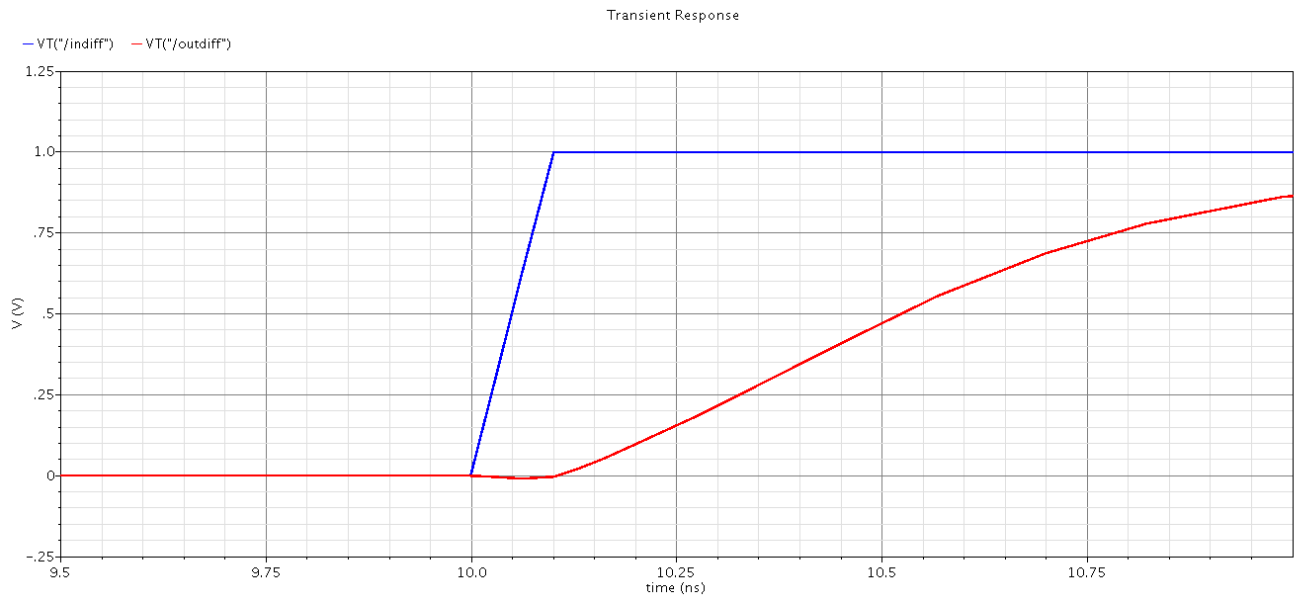


Figura 5.26: Aumento de la gráfica de la respuesta temporal a nivel de sistema del amplificador funcionando como integrador

De igual forma que se hizo en el amplificador operacional diseñado a nivel de sistema, en el capítulo anterior, se presentan los valores de pendiente y retardo de la respuesta del amplificador operacional funcionando como integrador a nivel de transistor:

- Retardo en la respuesta: 0,11 ns
- Valor de la pendiente: 0,9 V/ns

Como ya se ha indicado, estos valores son ligeramente más elevados que los obtenidos en el modelo a nivel de sistema. Es por esto que el error de ganancia que se tiene en este modelo es ligeramente algo mayor

### Consumo de potencia

Como último punto se realizará un estudio del consumo de potencia que se tendrá ya que es uno de los parámetros más importantes en el diseño de un circuito integrado. Durante el proceso de diseño se ha tratado que sea mínimo y para obtener su valor basta con conocer la corriente estática que circula por la fuente de alimentación del circuito de 1V. Para ello, a partir de la simulación en DC realizada se obtiene que como se esperaba:

$$I_{consumida} = 6,87mA \rightarrow P_{consumida} = 1V * 6.87mA = 6,87 mW$$

Lo que se puede considerar un consumo bajo y por tanto aceptable.

Tras la realización de las diversas simulaciones presentadas, se puede concluir que el diseño del amplificador operacional diseñado a nivel de transistor es correcto pues además de presentar las características requeridas en términos de ganancia y ancho de banda muestra una respuesta correcta ante los diversos parámetros y señales de entrada propuestas y un consumo aceptable.

## CAPÍTULO 6

### Conclusiones

Este Proyecto Fin de Carrera ha presentado el desarrollo del diseño de uno de los bloques principales que componen los convertidores A/D de tipo *sigma-delta*. Dicho bloque es el amplificador operacional cuya función es actuar como integrador a la entrada del convertidor. Su diseño se ha realizado a dos niveles: a nivel de sistema y a nivel de transistor.

El diseño a nivel de sistema se ha hecho considerando el amplificador operacional como un bloque funcional y mediante el lenguaje de descripción de hardware Verilog-A para sistemas analógicos. Se han presentado tres modelos diferentes que describen su funcionamiento y cuyas diferencias básicas son los parámetros de entrada que se darán para la realización de las simulaciones y que permitirán la variación de más o menos parámetros propios de un amplificador operacional para estudiar la influencia de los mismos en su comportamiento. Todos estos modelos han sido validados y se ha comprobado su correcta respuesta ante diversas señales de entrada. Esto nos ha ayudado a realizar distintas simulaciones a nivel de sistema en verilogA del modulador *sigma-delta* completo para ver su correcto funcionamiento.

Posterior al diseño a nivel de sistema se ha realizado el diseño a nivel de transistor, quizás la etapa más compleja del proceso. Para su realización se ha debido seleccionar la tecnología y arquitectura más adecuada así como la configuración más apropiada para cada uno de los bloques que constituyen el componente. Además se ha tenido que fijar el valor correspondiente a cada uno de los componentes, tanto activos como pasivos, que forman parte de este bloque.

Para todo el desarrollo de este Proyecto Fin de Carrera se ha hecho uso del conjunto de aplicaciones incluidas en el paquete informático *Custom IC Design* de la compañía *Cadence*, que incluye herramientas de captura de esquemáticos, simuladores, compiladores de lenguajes de descripción de hardware entre otras.

Tras todo el desarrollo se ha obtenido un amplificador operacional cuyas características principales se detallan a continuación:

- Se ha utilizado tecnología CMOS de 65nm. Al formar parte de un sistema que incluye también bloques digitales se usa esta tecnología CMOS para facilitar la integración y fabricación del circuito integrado completo, abaratando así el proceso.
- El amplificador operacional opera con tensiones de alimentación bajas (entre 0 y 1 V)
- Se trata de un amplificador diferencial. Este hecho aumenta el rango dinámico de salida y elimina efectos del ruido de modo común y las posibles no linealidades presentes.
- La arquitectura elegida ha sido un amplificador de dos etapas en cascada. La primera etapa es la entrada diferencial y como etapas de salida se tendrán sendas etapas de ganancia en fuente común.
- La estabilidad se consigue mediante compensación de Miller.
- La tensión en modo común de salida se puede fijar externamente (0,5V) para lo cual se ha realizado un circuito de sensado y realimentación de la tensión en modo común de salida que permite su control en cada momento.
- El consumo del amplificador operacional es un consumo bajo, de 6,87 mW
- En el diseño final a nivel de transistor el amplificador presenta una tensión a bajas frecuencias en lazo abierto de 40 dB, es decir, cumple con las especificaciones impuestas para su diseño.
- El amplificador a nivel de transistor presenta un ancho de banda en torno a 1 GHz y por tanto, cumple con creces las especificaciones impuestas para su diseño ya que se pretendía superar los 600 MHz. El hecho de dejar este margen y no bajarlo a 600 MHz, como se requiere, es porque en un posterior diseño del layout del circuito se ha de tener en cuenta que aparecerán capacidades parásitas que afectarán a este ancho de banda y lo reducirán. De ahí que se deje este margen para poder seguir cumpliendo las especificaciones.

Además, la corriente de referencia que se tiene es una corriente programable por lo que siempre se podrá actuar sobre ella para conseguir un mayor o menor ancho de banda.

- En cuanto al margen de fase del amplificador diseñado a nivel de transistor es de  $91,22^\circ$ , superior a los  $70^\circ$  que se pretendían conseguir, lo que garantiza su estabilidad de funcionamiento.

## ANEXOS

### ANEXO I: Código en Verilog-A del modelo I diseñado del amplificador operacional a nivel de sistema

```
// VerilogA for TB_VDSL, opamp, veriloga
`include "constants.vams"
`incde "disciplineslu.vams"
`define db2dec(x) pow(10,x/20)

module opamp (vinp, vinn, voutp, voutn, v_cm);
input vinp, vinn, v_cm;
output voutp, voutn;
electrical vinp, vinn, voutp, voutn, v_cm;
parameter real gain = 40; //Ganancia en dB
parameter real GxBW = 600e6;
parameter real MF=70 ;
parameter real slewp = 1e9; //Tasa de variación máxima (V/seg) permitida en la salida positiva
parameter real slewn =-1e9; //Tasa de variación máxima (V/seg) permitida en la salida negativa
parameter real vdd = 1; //Tensión de alimentación positiva del amplificador
parameter real vss = 0; //Tensión de alimentación negativa del amplificador
real outv;
```

```
real num_pasos1;
real num_pasos2;
real freq_p1;
real freq_p2;
real marg_restante;
real gain2;
real gain3[0:0];
real arg_freq_p [0:2];

    analog begin

        gain2 = gain-6;
        gain3[0] = `db2dec(gain2);

        //Cálculo de frecuencia del primer polo
        num_pasos1 = gain/20;
        freq_p1 = (GxBW)/(pow(10,num_pasos1));

        //Cálculo de frecuencia del segundo polo
        marg_restante = -((MF-180)+90);
        if(marg_restante == 45)begin
            freq_p2 = (GxBW);
        end

        if(marg_restante < 45)begin
            num_pasos2 = ((marg_restante/36.50));
            freq_p2 = (GxBW*10)/(pow(10, num_pasos2));
        end

        @(initial_step ) begin

            arg_freq_p[0]=1;

            arg_freq_p[1]=((1/(`M_TWO_PI*freq_p1)))+(1/(`M_TWO_PI*freq_p2)));
```



```
arg_freq_p[2] = (1/(`M_TWO_PI*freq_p1`^`M_TWO_PI*freq_p2));
```

```
outv=V(v_cm);
```

```
end
```

```
//Función de transferencia
```

```
outv = laplace_nd ((V (vinp, vinn)), gain3, arg_freq_p);
```

```
//Limitación de la tensión de salida máxima a las tensiones de alimentación del opamp
```

```
case (1)
```

```
    outv > (vdd - V(v_cm)) : outv = vdd - V(v_cm);
```

```
    outv < (vss - V(v_cm)) : outv = vss - V(v_cm);
```

```
endcase
```

```
V(voutp) <+ slew (outv, slewp, slewn) + V(v_cm);
```

```
V(voutn) <+ slew (-outv, slewp, slewn) + V(v_cm);
```

```
end
```

```
endmodule
```

## ANEXO II: Código en Verilog-A del modelo II diseñado del amplificador operacional a nivel de sistema

```
// VerilogA for TB_VDSL, opamp, veriloga

`include "constants.vams"
`include "disciplines.vams"
`define db2dec(x) pow(10,x/20)

module opamp (vinp, vinn, voutp, voutn, v_cm);
input vinp, vinn, v_cm;
output voutp, voutn;
electrical vinp, vinn, voutp, voutn, v_cm;
parameter real gain = 40; //Ganancia en dB
parameter real freq_p1 = 6e6; //Frecuencia del primer polo
parameter real freq_p2 = 1.702e9; //Frecuencia del segundo polo
parameter real slewp = 1e9; //Tasa de variación máxima (V/seg) permitida en la salida positiva
parameter real slewn = -1e9; //Tasa de variación máxima (V/seg) permitida en la salida negativa
parameter real vdd = 1; //Tensión de alimentación positiva del amplificador
parameter real vss = 0; //Tensión de alimentación negativa del amplificador

real outv;
real gain2;
real gain3[0:0];

analog begin
gain2 = gain-6; //Ajuste en ganancia
gain3[0] = `db2dec(gain2);
```

//Función de transferencia en el dominio de Laplace

//Primer argumento: entrada

//Segundo argumento: vector con coeficientes del numerador (ganancia)

//Tercer argumento: vector con coeficientes del denominador

```
outv = laplace_nd((V(vinp, vinn)), gain3, {1,((1/(`M_TWO_PI*freq_p1)) +  
(1/(`M_TWO_PI*freq_p2))), (1/(`M_TWO_PI*freq_p1*`M_TWO_PI*freq_p2))});
```

//Limitación de la tensión de salida máxima a las tensiones de alimentación del opamp

case (1)

outv > (vdd - V(v\_cm)) : outv = vdd - V(v\_cm);

outv < (vss - V(v\_cm)) : outv = vss - V(v\_cm);

endcase

V(voutp) <+ slew (outv, slewp, slewn) + V(v\_cm);

V(voutn) <+ slew (-outv, slewp, slewn) + V(v\_cm);

end

endmodule

### ANEXO III: Código en Verilog-A del modelo III diseñado del amplificador operacional a nivel de sistema

```
// VerilogA for TB_VDSL, opamp_completo_OTA, veriloga
`include "constants.vams"
`include "disciplines.vams"
`define db2dec(x) pow(10,x/20)

module opamp_completo_OTA (vin_p, vin_n, vout_p, vout_n, vref, vsupply_p, vsupply_n);
input vref, vsupply_p, vsupply_n;
inout vin_p, vin_n, vout_p, vout_n;
electrical vin_p, vin_n, vout_p, vout_n, vref, vsupply_p, vsupply_n;
parameter real gaindB = 40; //Ganancia en dB
parameter real freq_p1 = 6e6; //Frecuencia del primer polo
parameter real freq_p2 = 1.702e9; //Frecuencia del segundo polo
parameter real vdd = 1; //Tensión de alimentación positiva del amplificador
parameter real vss = 0; //Tensión de alimentación negativa del amplificador
parameter real rin = 1e6; //Impedancia de entrada
parameter real rout = 80; //Impedancia de salida
parameter real vin_offset = 0.5; //Tensión de offset
parameter real ibias = 0.01; //Corriente de bias
parameter real slew_rate = 1e9; //Tasa de variación máxima (V/seg) permitida en la salida
real c1;
real gm_nom;
real r1;
real r_rout;
real vin_val;
real iin_max;
real vmax_in;
real gain;
```

```
real arg_freq_p [0:1];

real gain2;

electrical coutn;

electrical coutp;

electrical c2p;

electrical c2n;

analog begin

    gain2 = gaindB;

    gain = `db2dec(gain2);

    vin_val= V(vin_p, vin_n) + vin_offset;

    @(initial_step) begin

        arg_freq_p[0] = `M_TWO_PI*(-freq_p2);

        arg_freq_p[1] = 0;

        r1 = gain;

        gm_nom= 1.0;

        c1 = 1/(`M_TWO_PI * freq_p1 * gain);

        r_rout= rout;

        iin_max = slew_rate * c1;

        vmax_in = iin_max/gm_nom;

    end

    vin_val= V(vin_p, vin_n) + vin_offset;

//Etapas de entrada

    I(vin_p, vin_n) <+ vin_val/ rin;

    I(vref, vin_p) <+ ibias;

    I(vref, vin_n) <+ ibias;
```

//Etapas GM

```
if ( vin_val > vmax_in )  
    I (vref, coutp) <+ iin_max;  
else if (vin_val < -vmax_in)  
    I(vref, coutp ) <+ -iin_max;  
else  
    I(vref, coutp ) <+ gm_nom*vin_val;
```

```
if ( vin_val > vmax_in )  
    I (vref, coutn) <+ -iin_max;  
else if (vin_val < -vmax_in)  
    I(vref, coutn ) <+ iin_max;  
else  
    I(vref, coutn) <+ -gm_nom*vin_val;
```

//Situación del primer polo

```
I(coutp, vref) <+ 2*c1*ddt(V(coutp, vref));  
I(coutp, vref) <+ 2*V(coutp, vref)/r1;  
I(coutn, vref) <+ 2*c1*ddt(V(coutn, vref));  
I(coutn, vref) <+ 2*V(coutn, vref)/r1;
```

//Situación del Segundo polo

```
I(c2p, vref) <+ laplace_zp ( V(vref,coutp), {}, arg_freq_p);  
I(c2p, vref) <+ V(c2p, vref);  
I(c2n, vref) <+ laplace_zp ( V(vref,coutn), {}, arg_freq_p);  
I(c2n, vref) <+ V(c2n, vref);
```

//Etapas de salida

```
I(vref, vout_n) <+ V(c2n, vref)/r_rout;  
I(vout_n, vref) <+ V(vout_n, vref)/r_rout;
```

```
    I(vref, vout_p) <+ V(c2p, vref)/r_rout;  
    I(vout_p, vref) <+ V(vout_p, vref)/r_rout;  
  
end  
  
endmodule
```

## REFERENCIAS

### Bibliografía

- [1] Willy M.C. Sansen. “Analog Design Essentials”, 2006
- [2] R. Jacob Baker. “CMOS. Circuit Design, Layout and Simulation”, 2008
- [3] Sedra Smith. “Circuitos Microelectrónicos”, 1998
- [4] Gustavo A. Ruiz Robredo. “Electrónica Básica para Ingenieros”, 2001
- [5] Esther Sánchez. PFC: “Diseño e implementación de un amplificador operacional diferencial en 0.35  $\mu\text{m}$  CMOS para circuitos de baja tensión de alimentación y bajo consumo”, 2008
- [6] “Cadence Verilog-A Language Reference”, Product Version 5.1, 2004
- [7] “CH65G 65nm Technology Design Manual”, 2006

### Artículos

- [8] Enrique Prefasi, S. Paton, L. Hernandez, R. Gaggli, A. Wiesbauer, J. Hauptmann, “A 0.08 mm<sup>2</sup>, 7mW Time-Encoding Oversampling Converter with 10bits and 20MHz BW in 65nm CMOS”, Proceeding ESSCIRC, pp. 430-422, Septiembre 2010.



- [9] Ricardo Valerio Bautista Cuéllar, *“Conversor Analógico Digital de altas prestaciones para las nuevas arquitecturas de receptores RF. El conversor Sigma-Delta”*, Revista Digital “Investigación y Educacion”, número 19, volumen II, Septiembre 2005.
- [10] Federico Miyara, *“Estabilidad de amplificadores realimentados”*, Segunda Edición, 2005.
- [11] Huircan J. Carrillo R. *“ Respuesta en frecuencia de amplificadores”*